

Japanese Kokai Patent Application No. Hei 9[1997]-284300

Job No.: 228-119969

Ref.: JP 9-284300-ORDER NO. 8530

Translated from Japanese by the McElroy Translation Company

800-531-9977

customerservice@mcelroytranslation.com

JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. HEI 9[1997]-284300

Int. Cl. ⁵ :	H 04 L 12/28 1/22 H 04 Q 3/00 H 04 L 11/20
Sequence No. for Office Use:	9466-5K
Filing No.:	Hei 8[1996]-94580
Filing Date:	April 17, 1996
Publication Date:	October 31, 1997
No. of Claims:	2 (Total of 12 pages; OL)
Examination Request:	Not filed

SYSTEM CHANGEOVER CIRCUIT

Inventor:	Kunio Morimoto Oki Electric Industrial Co., Ltd. 1-7-12 Toranomom Minato-ku, Tokyo
Applicant:	000000295 Oki Electric Industrial Co., Ltd. 1-7-12 Toranomom Minato-ku, Tokyo
Agent:	Akashige Kakimoto, patent attorney

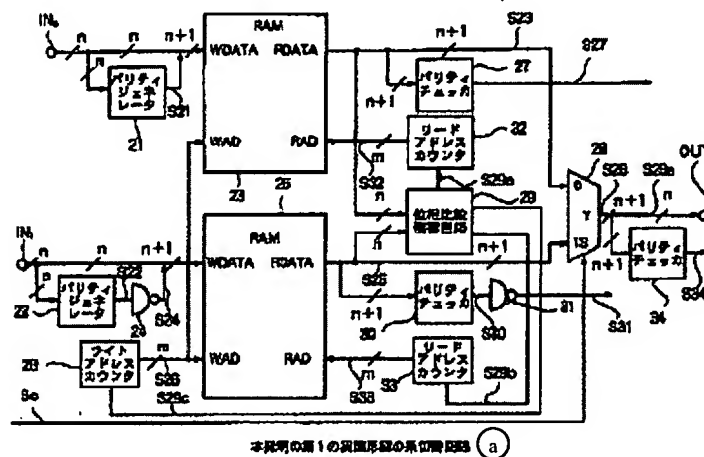
Abstract

Problem

To realize a system changeover circuit capable of obtaining a highly reliable system status signal in the transmission lines of an ATM network which have a duplicate configuration.

Means to solve

A 0-system ATM cell is written to a RAM 23 together with a parity bit signal S21. A 1-system ATM cell is written to a RAM 25 together with an inverted parity bit signal S24. The phases of the data S23 read from RAM 23 and the data S25 read from RAM 25 are aligned by means of a phase comparison control circuit 29, and input to a selector 28. Either of the data S23, S25 is selected depending on the logic state of the system changeover control signal Sc; but, in this case, except for the parity bits in the data S28 from selector 28 output data S28a are exactly the same for the 0- and the 1-systems. Therefore, the data are not interrupted even when selector 28 is switched. The parity check result S34 of the output data S28 including the parity bits differs before and after switching and is used for the system status signal.



- Key: a System changeover circuit of a first embodiment of the present invention
- 21 Parity generator
- 22 Parity generator
- 26 Write address counter
- 27 Parity checker
- 29 Phase comparison control circuit
- 30 Parity checker
- 32 Read address counter
- 33 Read address counter
- 34 Parity checker

Claims

1. A system changeover circuit that inputs an ATM cell of a first system that is input sequentially via a first transmission line as well as an ATM cell of a second system that is input sequentially via a second transmission line and that has the same content as the ATM cell of said

first system; that selects and outputs either the ATM cell of the first system or the ATM cell of the second system after phase alignment; and that outputs a system status signal indicating whether the ATM cell of said first system or the ATM cell of said second system is being output, characterized in that it comprises:

a first parity generator that checks the parity of the number of the high-level input signals of the parallel input signals which comprise the aforementioned ATM cell of the first system, and that generates a first parity bit signal based on the result of said check;

a second parity generator that checks the parity of the number of the high-level input signals of the parallel input signals which comprise the aforementioned ATM cell of the second system, and that generates a second parity bit signal based on the result of said check;

an inverter that inverts the logic state of the aforementioned second parity bit signal and generates an inverted parity bit signal;

a phase adjustment means that has a first storage means that sequentially inputs, in parallel, the aforementioned ATM cell of the first system and the aforementioned first parity bit signal, and a second storage means that sequentially inputs, in parallel, the aforementioned ATM cell of the second system and the aforementioned inverted parity bit signal; that compares the data that comprise said ATM cell of the first system that is stored in said first storage means with the data that comprise said ATM cell of the second system that is stored in said second storage means; and that, by adjusting the read addresses such that said read data are identical, aligns the phases of the ATM cell of the first system and the first parity bit signal, which have been read out in parallel from said first storage means, and the ATM cell of the second system and the second parity bit signal, which have been read out in parallel from said second storage means;

a selection means that, based on a system-switching control signal from the outside, selects and outputs the ATM cell of the aforementioned first system and the aforementioned first parity bit signal or the ATM cell of the aforementioned second system and the aforementioned inverted parity bit signal, the phases of which have been aligned;

and a parity checker that checks the parity of the number of the high-level signals of the parallel output signals from the aforementioned selection means and outputs the result of that check as the aforementioned system status signal.

2. A system changeover circuit that inputs an ATM cell of a first system that is input sequentially via a first transmission line as well as an ATM cell of a second system that is input sequentially via a second transmission line and that has the same content as the ATM cell of said first system; that selects and outputs either the ATM cell of the first system or the ATM cell of the second system after phase alignment; and that outputs a system status signal indicating whether the ATM cell of said first system or the ATM cell of said second system is being output, characterized in that it comprises:

the first parity generator, second parity generator, and inverter of Claim 1;

a phase comparison means that detects the phase difference between the aforementioned ATM cell of the first system and the aforementioned ATM cell of the second system, setting a crossbar selection signal to the bar state when the phase of said ATM cell of the first system leads the phase of said ATM cell of the second system and setting the crossbar selection signal to the cross state when the phase of said ATM cell of the first system lags the phase of said ATM cell of the second system;

a crossbar switch circuit that inputs the aforementioned ATM cell of the first system and the aforementioned first parity bit from a first input terminal and inputs the aforementioned ATM cell of the second system and the aforementioned inverted parity bit from a second input terminal; that outputs the aforementioned ATM cell of the first system and the aforementioned first parity bit from a first output terminal and outputs the aforementioned ATM cell of the second system and the aforementioned inverted parity bit from a second output terminal when the aforementioned crossbar selection signal is in the bar state; and that outputs said ATM cell of the first system and the aforementioned first parity bit from said second output terminal and outputs said ATM cell of the second system and the aforementioned inverted parity bit from said first output terminal when the aforementioned crossbar selection signal is in the cross state;

a phase adjustment means that includes a storage means that stores the ATM cell and the parity bit output from the aforementioned first output terminal of the crossbar switch circuit, and that aligns the phase of said ATM cell of the first system and said first parity bit signal and the phase of said ATM cell of the second system and said second parity bit signal by reading out said stored ATM cell and parity bit, with respect to the ATM cell and parity bit output from the second output terminal of the aforementioned crossbar switch circuit, at a timing that is delayed only by an amount of time that corresponds to the aforementioned phase difference between the aforementioned ATM cell of the first system and the ATM cell of the second system;

an exclusive-OR circuit that XORs the aforementioned crossbar selection signal and a system changeover control signal from the outside;

a selection means that selects and outputs the ATM cell of the aforementioned first system and the aforementioned first parity bit signal or the ATM cell of the aforementioned second system and the aforementioned inverted parity bit signal based on the output of the aforementioned exclusive-OR circuit;

and the parity checker of Claim 1.

Detailed explanation of the invention

[0001]

Technical field of the invention

The present invention pertains to a system changeover circuit for an ATM (asynchronous transfer mode) network that switches between a currently used transmission path and a reserve transmission path, over which the same ATM cells of two systems are transmitted without duplication or lapses.

[0002]

Prior art

Examples of the prior art for this technical field are recorded in the following documents.

Document 1: Shingaku Gihou [Communications Techniques] (CS92-48) (1992-10)

"ATM-Ami Ni Okeru Mushundan Densouro Kirikae Houshiki [Uninterrupted Transmission Line Switching Method for an ATM Network]," pp. 1-8

Document 2: 1993 Denshi Jouhou Tsushin Gakkai Aki Taikai [The Institute of Electronics, Information, and Communication Engineers, Fall Conference] B-686 "ATM Shisutemuyou Mushundan Nijuuka Kirikae LSI No Kaihatsu [Development of Uninterrupted Redundant Switching LSI for Use with ATM System]," pp. 3-325

To maintain high reliability, the uninterrupted switching method for redundant transmission line configuration of an ATM network, recorded in the aforementioned Document 1, uses a 0-system and a 1-system; that is, a first system (hereinafter, the "active" system) and a second system (hereinafter, the "reserve system"), which are a redundant transmission line configuration that transmits exactly identical data. For example, when the system is intentionally switched for the purpose of performing maintenance work or the like, this method utilizes a function whereby it switches to the reserve system without interrupting the data (that is, without duplication or lapses of cells) of the active system. With the data transmitted by the two transmission lines of said 0- and 1-systems a phase difference is generated due to, for example, differences in the length of said transmission lines. Therefore, the aforementioned uninterrupted switching is realized by detecting and compensating for said phase difference so that the phase is aligned before the switching is performed.

[0003]

Figure 2 is a structural diagram showing one example of a conventional system changeover circuit recorded in the aforementioned Document 2. This system changeover circuit has an n-bit parallel (where n is an integer) input terminal IN_0 for 0-system data and an input terminal IN_1 for 1-system data. Input terminal IN_0 and input terminal IN_1 are connected to the

respective input terminals of parity generators 1, 2. Furthermore, input terminal IN_0 and input terminal IN_1 are respectively connected to the output terminals of parity generators 1, 2 and to write data input terminals WDATA of $n+1$ -bit $\times 2^m$ -word RAMs (random-access memories) 3, 4. The m -bit (where m is an integer) output terminal of a write address counter 5 is connected multiple times to each m -bit (where m is an integer) write address input terminal WAD of RAMs 3, 4. The $(n+1)$ -bit read data output terminal RDATA of RAM 3 of the 0-system is connected to an input terminal of a parity checker 6 that checks the parity of the data read out here. A parity alarm signal S6 is output as an information signal from parity checker 6 to a processor (not shown in the figure). Furthermore, from output terminal RDATA of RAM 3, an n -bit output terminal, from which the parity bit is excluded, is connected to a first input terminal (in other words, the 0-system input terminal) of a selector 7 for system changeover use and is connected to a first input terminal (in other words, the 0-system input terminal) of a phase comparison control circuit 8, which compares the phase of the 0-system and the 1-system data and controls said phase.

[0004]

In this manner, the $(n+1)$ -bit read data output terminal RDATA of RAM 4 of the 1-system is connected to an input terminal of a parity checker 9 that checks the parity of the data read out here. A parity alarm signal S9 is output as an information signal from parity checker 9 to a processor (not shown in the figure). Furthermore, from output terminal RDATA of RAM 4, an n -bit output terminal from which the parity bit is excluded is connected to a second input terminal (in other words, the 1-system input terminal) of a selector 7 for system changeover use and is connected to a second input terminal (in other words, the 1-system input terminal) of phase comparison control circuit 8. Each output terminal of read address counters 10, 11 outputs a read address signal and is respectively connected to an m -bit read address input terminal RAD of RAMs 3, 4. Furthermore, read address control signals S8a, S8b from phase comparison control circuit 8 are respectively input to read address counters 10, 11. Phase comparison control circuit 8 also outputs a write address control signal S8c, which controls the write address values of RAMs 3, 4; this signal is input to write address counter 5. Read address control signals S8a, S8b, and write address control signal S8c differ according to the construction of the address counter and according to the control method; however, here they are reset signals which reset the value for each address counter.

[0005]

System changeover control signal Sc is input as a control signal from a processor (not shown in the figure); it is input to selection signal input terminal S of selector 7 and is output as

an information signal to a processor (not shown in the figure) as with parity alarm signals S6, S9. Furthermore, an output terminal of selector 7 is connected to an output terminal OUT that outputs switched, n-bit parallel output data S7. Next, the operation of Figure 2 will be explained. Each ATM cell input from the respective transmission lines of the 0-system and the 1-system is written sequentially to RAMs 3, 4, respectively, and the ATM cells that are written are read out sequentially. At a prescribed timing, phase comparison control circuit 8 latches a portion of the data of each ATM cell read out from RAMs 3, 4 at this time. The latched 0-system data are compared with the 1-system data that are read out sequentially. In the same manner, the latched 1-system data are compared with the 0-system data that are read out sequentially. The data are compared until they match.

[0006]

If exactly identical ATM cells are being transmitted by the transmission lines of the 0-system and the 1-system, at some point the data should match. Various algorithms have been proposed as a method for detecting a match, and typically one match is not considered detection; however, in this case the detection method is irrelevant, so that in this explanation, one match will be considered detection. For example, when phase comparison control circuit 8 detects a match on the 0-system latch side, if the phase of the data of the 0-system leads, it will lead by the number of readout addresses from the time the phase difference is latched until a match is detected. Therefore, if the values of the 1-system readout addresses of RAMs 3, 4 lead the values of the 0-system addresses by just this number of addresses, or if the address values of the 0-system lag by means of read address control signals S8a, S8b, the data read from RAMs 3, 4 will be aligned. Thus after the phase-aligned data are input to selector 7, no matter when the input signal to said selector 7 is switched by means of system changeover control signal Sc, the output data S7 can be switched without interruption. In addition, with this type of system changeover circuit which uses a RAM, a parity bit must be added to the data to ensure the reliability of the RAM when writing to or reading from the RAM.

[0007]

Problems to be solved by the invention

However, the system changeover circuit in Figure 2 has the following problems. That is, even if the various transmission lines of the 0-system and the 1-system are not malfunctioning, the reserve system is sometimes stopped for maintenance checks and the like. In this case, the system status signal, which indicates during operation which system, the 0-system or the 1-system, is the active system, and which system is the reserve system, must be extremely reliable. However, for the system changeover circuit shown in Figure 2, with the circuit that

informs the processor of the logic state of system changeover control signal S_c with a system status signal which indicates the status of the active system, this system changeover control signal S_c is also the selection signal for selector 7. Therefore, although it is possible to know whether the current output data are from the 0-system or the 1-system, the output data, S_7 , are not detected and confirmed. Therefore, if the aforementioned various transmission lines are operating normally, even if selector 7 malfunctions and the input signal is not switched, the 0-system and the 1-system are outputting exactly the same values, so that it is impossible to confirm whether the current output data S_7 are from the 0-system or the 1-system. Accordingly, there is a problem in that the system changeover circuit in Figure 2 is not a circuit with which a highly reliable system status signal can be obtained.

[0008]

Means to solve the problem

To solve the aforementioned problems with respect to a system changeover circuit that inputs an ATM cell of an active system that is input sequentially via a first transmission line as well as an ATM cell of a reserve system that is input sequentially via a second transmission line and that has the same content as the ATM cell of said active system; that selects and outputs either the ATM cell of said active system or the ATM cell of said reserve system following phase alignment; and that outputs a system status signal indicating whether the ATM cell of said active system or the ATM cell of said reserve system is being output, the first invention comprises the following means: a first parity generator that checks the parity of the number of the high-level (hereinafter referred to as "1") input signals of the parallel input signals which comprise the aforementioned ATM cell of the active system, and that generates a first parity bit signal based on the result of said check; a second parity generator that checks the parity of the number of the "1" input signals of the parallel input signals which comprise the aforementioned ATM cell of the reserve system, and that generates a second parity bit signal based on the result of said check; an inverter that inverts the logic state of the aforementioned second parity bit signal and generates an inverted parity bit signal; a phase adjustment means that has a first storage means that sequentially inputs, in parallel, the aforementioned ATM cell of the active system and the aforementioned first parity bit signal, and a second storage means that sequentially inputs, in parallel, the aforementioned ATM cell of the reserve system and the aforementioned inverted parity bit signal; that compares the data that comprises said ATM cell of the active system that is stored in said first storage means with the data that comprises said ATM cell of the reserve system that is stored in said second storage means; and that, by adjusting the read addresses such that said read data are identical, aligns the phases of the ATM cell of the active system and the first parity bit signal, which have been read out in parallel from said first

storage means, and the ATM cell of the reserve system and the second parity bit signal, which have been read out in parallel from said second storage means; a selection means that, based on a system-switching control signal from the outside, selects and outputs the ATM cell of the aforementioned active system and the aforementioned first parity bit signal or the ATM cell of the aforementioned reserve system and the aforementioned inverted parity bit signal, the phases of which have been aligned; and a parity checker that checks the parity of the number of the "1" signals of the parallel output signals from the aforementioned selection means and outputs the result of that check as the aforementioned system status signal.

[0009]

By means of the first invention, the system changeover circuit is constructed as described above; therefore, the ATM cell of the active system is input to a first parity bit generator to generate a first parity bit signal. In addition, the ATM cell of the reserve system is input to a second parity bit generator to generate a second parity bit signal. This second parity bit signal is input to an inverter and its logic state is inverted to produce an inverted parity bit signal. Next, the aforementioned ATM cell of the active system and the aforementioned first parity bit signal and the aforementioned ATM cell of the reserve system and the aforementioned inverted parity bit signal are input to a phase adjustment means for phase alignment. The aforementioned ATM cell of the active system and the aforementioned first parity bit signal or the ATM cell of the reserve system and the aforementioned inverted parity bit signal, now phase-aligned, are selected and output by a selection means based on a system changeover control signal. The output signal of this selection means is input to a parity checker that checks its parity, but because the logic state of the first parity bit signal and the logic state of the inverted parity bit signal differ, it is possible to determine on the basis of this parity check, whether the output signal from the aforementioned selection means is the aforementioned ATM cell of the active system or the aforementioned ATM cell of the reserve system.

[0010]

With respect to a system changeover circuit that inputs an ATM cell of an active system that is input sequentially via a first transmission line as well as an ATM cell of a reserve system that is input sequentially via a second transmission line and that has the same content as the ATM cell of said active system; that selects and outputs either the ATM cell of said active system or the ATM cell of said reserve system after phase alignment; and that outputs a system status signal indicating whether the ATM cell of said active system or the ATM cell of said reserve system is being output, the second invention comprises the following means: the first parity generator, second parity generator, and inverter of the first invention; a phase comparison

means that detects the phase difference between the aforementioned ATM cell of the active system and the aforementioned ATM cell of the reserve system, setting a crossbar selection signal to the bar state when the phase of said ATM cell of the active system leads the phase of said ATM cell of the reserve system and setting the crossbar selection signal to the cross state when the phase of said ATM cell of the active system lags the phase of said ATM cell of the reserve system; a crossbar switch circuit that inputs the aforementioned ATM cell of the active system and the aforementioned first parity bit from a first input terminal and inputs the aforementioned ATM cell of the reserve system and the aforementioned inverted parity bit from a second input terminal; that outputs the aforementioned ATM cell of the active system and the aforementioned first parity bit from a first output terminal and outputs the aforementioned ATM cell of the reserve system and the aforementioned inverted parity bit from a second output terminal when the aforementioned crossbar selection signal is in the bar state; and that outputs said ATM cell of the active system and the aforementioned first parity bit from said second output terminal and outputs said ATM cell of the reserve system and the aforementioned inverted parity bit from said first output terminal when the aforementioned crossbar selection signal is in the cross state; a phase adjustment means that includes a storage means that stores the ATM cell and the parity bit output from the aforementioned first output terminal of the crossbar switch circuit, and that aligns the phase of said ATM cell of the active system and said first parity bit signal and the phase of said ATM cell of the reserve system and said second parity bit signal by reading out said stored ATM cell and parity bit, with respect to the ATM cell and parity bit output from the second output terminal of the aforementioned crossbar switch circuit, at a timing that is delayed only by an amount of time that corresponds to the aforementioned phase difference between the aforementioned ATM cell of the active system and the ATM cell of the reserve system; an exclusive-OR circuit that XORs the aforementioned crossbar selection signal and a system changeover control signal from the outside; a selection means that selects and outputs the ATM cell of the aforementioned active system and the aforementioned first parity bit signal or the ATM cell of the aforementioned reserve system and the aforementioned inverted parity bit signal based on the output of the aforementioned exclusive-OR circuit; and the parity checker of the first invention.

[0011]

By means of the second invention, the ATM cell of the active system is input to a first parity generator to generate a first parity bit signal. In addition, the ATM cell of the reserve system is input to a second parity bit generator to generate a second parity bit signal. This second parity bit signal is input to an inverter and its logic state is inverted to produce an inverted parity bit signal. In addition, the phase comparison means detects the phase difference between the

ATM cell of the active system and the ATM cell of the reserve system, setting a crossbar selection signal to the bar state when the phase of said ATM cell of the active system leads the phase of said ATM cell of the reserve system and setting the crossbar selection signal to the cross state when the phase of said ATM cell of the active system lags the phase of said ATM cell of the reserve system. The aforementioned ATM cell of the active system and the aforementioned first parity bit are input from a first input terminal of the crossbar switch circuit and the aforementioned ATM cell of the reserve system and the aforementioned inverted parity bit are input from a second input terminal of said crossbar switch circuit. Based on the aforementioned crossbar selection signal, the crossbar switch circuit selects the ATM cell and parity bit of the system that leads and transmits it to the phase adjustment means.

[0012]

By means of the phase adjustment means, the ATM cell and parity bit of the system that leads and the phase of the ATM cell and parity bit of the system that lags are made identical. The aforementioned ATM cell of the active system and the aforementioned first parity bit signal or the aforementioned ATM cell of the reserve system and the aforementioned inverted parity bit, now phase-aligned, are input to the selection means and are selected and output based on the XOR of the system changeover control signal and the aforementioned crossbar selection signal. The output signal from this selection means is input to a parity checker where its parity is checked; however, because the logic state of the first parity bit signal and the logic state of the inverted parity bit signal differ, it is possible to determine, based on this parity check, whether the output signal from the aforementioned selection means is the aforementioned ATM cell of the active system or the aforementioned ATM cell of the reserve system. The aforementioned problem is thereby solved.

[0013]

Embodiments of the invention

Embodiment 1

Figure 1 is a structural diagram of a system changeover circuit illustrating a first embodiment of the present invention, Figure 3 is a structural diagram of the parity generators in Figure 1, and Figure 4 is a structural diagram of the parity checkers in Figure 1. This system changeover circuit has an n-bit parallel input terminal IN_0 for 0-system data and an input terminal IN_1 for 1-system data. Input terminal IN_0 and input terminal IN_1 are respectively connected to input terminals of parity generators 21, 22. Parity generators 21, 22 are constructed, for example, from an n-input exclusive-OR (hereinafter, "XOR") circuit as shown in Figure 3. With this circuit, if there is an even number of "1" input signals, the output signal is "0", and if

there is an odd number of "1" input signals, the output signal is "1." Therefore, parity generators 21, 22 respectively generate "1" or "0" parity bit signals S21, S22 based on whether the number of "1's" of the respective parallel ATM cells input from the transmission lines of the 0-system and the 1-system is even or odd.

[0014]

Furthermore, input terminal IN_0 is connected to the output terminal of parity generator 21 and to a write data input terminal WDATA of an $(n+1)$ -bit $\times 2^m$ -word RAM 23. An inverter 24 is connected to an output terminal of parity generator 22. This inverter 24 makes the logic state of a parity bit signal S22 the inverse of that of the 0-system (that is, parity bit signal S21). Input terminal IN_1 is connected to an output terminal of inverter 24 and is connected to a write data input terminal WDATA of an $(n+1)$ -bit $\times 2^m$ -word RAM 25. In addition, each m -bit write address input terminal WAD of RAMs 23, 25 is connected to an m -bit output terminal of a write address counter 26. The $(n+1)$ -bit read data output terminal RDATA of RAM 23 is connected to the input terminal of a parity checker 27 which checks the parity of the data that is read out here. Said parity checker 27 comprises an $(n+1)$ -input XOR circuit, as shown for example in Figure 4. The output terminal of parity checker 27 is connected to a processor (not shown in the figure) as an output terminal that outputs a 0-system parity alarm signal S27. Furthermore, the output terminal RDATA of RAM 23 is connected to a first input terminal (in other words, a 0-system input terminal) of a selector 28, which is the selection means. Furthermore, from output terminal RDATA of RAM 23, an n -bit output terminal, from which the parity bit is excluded, is connected to a 0-system input terminal of a phase comparison control circuit 29 which compares the phase of the 0-system and the 1-system data.

[0015]

In this manner, the $(n+1)$ -bit read data output terminal RDATA of RAM 25 of the 1-system is connected to an input terminal of a parity checker 30 that checks the parity of the data read out here. As with parity checker 27, the output terminal of this parity checker 30 comprises an $(n+1)$ -input XOR circuit. The output terminal of parity checker 30 is connected to an inverter 31, and the output terminal of said inverter 31 is connected to a processor (not shown in the figure) as an output terminal that outputs a 1-system parity alarm signal S31. Furthermore, the output terminal RDATA of RAM 25 is connected to a second input terminal of selector 28 (i.e., the 1-system input terminal). Furthermore, from output terminal RDATA of RAM 25, an n -bit output terminal, from which the parity bit is excluded, is connected to the 1-system input terminal of phase comparison control circuit 29. The various output terminals of read address counters 32, 33 output read address signals S32, S33 and are respectively connected to an m -bit

read address input terminal RAD of RAMs 23, 25. Furthermore, read address control signals S29a, S29b from phase comparison control circuit 29 are respectively input to read address counters 32, 33. Phase comparison control circuit 29 also outputs a write address control signal S29c, which is input to write address counter 26. Read address control signals S29a, S29b, and write address control signal S29c differ according to the structure of the address counter and the control method; however, here they are reset signals that reset the values of each address counter. Furthermore, RAMs 23, 25, write address counter 26, phase comparison control circuit 29, and read address counters 32, 33 comprise the phase adjustment means.

[0016]

System changeover control signal Sc is input as a control signal from a processor (not shown in the figure) and to a selection signal input terminal S of selector 28. Furthermore, the (n+1)-bit output terminal Y of selector 28 is connected to an input terminal of a parity checker 34, and from said output terminal Y, an n-bit output terminal, from which the parity bit is excluded, is connected to an output terminal OUT that outputs the active system output data S28a. An output terminal of parity checker 34 is connected to a processor (not shown in the figure) such that it outputs a system status signal S34. This parity checker 34 is comprised of an (n+1)-input XOR circuit. Next, the operation of Figure 1 will be explained. A 0-system n-bit parallel ATM cell is input to input terminal IN₀, a parity bit signal S21 generated by parity generator 21 is added, and is written as (n+1)-bit input data for RAM 23 according to an address S26 generated by write address counter 26. In the same manner, a 1-system n-bit parallel ATM cell is input to input terminal IN₁, an inverted parity bit signal S24, which is produced by means of parity generator 22 and inverter 24 and which has a different logic state than that of parity bit signal S21, is added, and this is written to RAM 25 as (n+1)-bit input data, according to the address generated by write address counter 26.

[0017]

Here, write address counter 26 is comprised of m-bit up-counters, and write address S26 is shared by the 0-system and the 1-system, so that by performing a reset at a prescribed timing by means of write control signal S29c, which is generated by phase comparison control circuit 29, the input data for the 0-system and the 1-system are written sequentially and simultaneously starting with address 0. Next, the data of each ATM cell respectively written to RAMs 23, 25 are read based on the address data S32, S33 generated by read address counters 32, 33. As with write address counter 26, read address counters 32, 33 comprise m-bit up-counters, and to start the phase comparison, the aforementioned data are read out by performing a reset for both the 0-system and the 1-system, with an appropriate delay, by means of read control signals

S29a, S29b having the same timing with respect to the write control signal S29c generated by phase comparison control circuit 29.

[0018]

After this reset is performed, $(n+1)$ -bit data are read from the same read addresses of RAMs 23, 25. With the parity bit excluded from this $(n+1)$ data, the n -bit data are input to phase comparison control circuit 29 and latched. The latched 0-system data are compared with the sequentially read out 1-system data until they match. Here, if exactly identical ATM cells are being transmitted from the transmission lines of the 0-system and the 1-system, at some point there should be a match. Various algorithms have been proposed as a method for detecting a match, and typically one match is not considered detection; however, here the detection method is irrelevant, so that in this explanation, one match is detection. For example, when a match is detected on the 0-system latch side, if the phase of the data of the 0-system leads, for example, it will lead by the number of readout addresses from the time the phase difference is latched until a match is detected. Therefore, if the values of the 1-system readout addresses of the RAM lead the values of the 0-system addresses by just this number of addresses, or if the address values of the 0-system lag by means of read control signals S29a, S29b, the phase of the data will be aligned.

[0019]

After the phase alignment of the data, the $(n+1)$ -bit data S23, S25 read out from RAMs 23, 25 are respectively input to parity checkers 27, 30, and the output signal S27 from said parity checker 27 is transmitted to a processor as the parity alarm signal S27 of RAM 23 of the 0-system. In addition, the output signal S30 from parity checker 30 is inverted by inverter 31, making its logic state identical to that of the 0-system, and it is transmitted to a processor as parity alarm signal S31 of RAM 25 of the 1-system. Furthermore, the data S23 that are read from RAM 23 are input to the first input terminal of selector 28 and the data S25 that are read from RAM 25 are input to the second input terminal of selector 28. The data S23, S25 are switched by the logic state of the system changeover control signal Sc; however, at this time the output data S28a of selector 28, except for the parity bit of the data S28, are exactly the same for the 0-system and the 1-system. Therefore, as in the prior art, output data S28a are not interrupted regardless of when selector 28 is switched.

[0020]

Furthermore, output data S28, including the parity bit, are input to parity checker 34; however, because the logic state of the parity bits differ for the 0-system and the 1-system, the parity check result S34 before switching differs from said check result after switching. For

example, when 0-system data are output, parity check result S34 will be "0", and when 1-system data are output, parity check result S34 will be "1", which matches the status of the system of output data S28. This parity check result S34 is output to a processor as the system status signal. Thus, with this first embodiment the logic state of the parity bit signal S22 generated by parity generator 22 is inverted by inverter 24, so that its logic state differs from that of parity bit signal S21 of the 0-system. Therefore, the logic state of the respective parity bits of the data S23, S25 read from RAMs 23, 25 differs. Therefore, when the parity of output data S28 which are output from selector 28 is checked by parity checker 34, parity check result S34 differs depending on whether output data S28 are from the 0-system or the 1-system. If this parity check result S34 is used as a status signal that represents the current status of the system, because this system status signal represents information obtained from output signal S28 from selector 28 it is possible to detect the current status of the system even when, for example, selector 28 malfunctions and the system has not been switched. A highly reliable system status signal can therefore be obtained. Note that in this case the point of difference with respect to the conventional system changeover circuit in Figure 2 is the addition of inverter 24 for the purpose of inverting the logic state of the output signal from parity generator 22, and inverter 31 for the purpose of inverting the logic state of output signal S30 from parity checker 30, for the 1-system, and the addition of 1 bit, corresponding to the parity bit of selector 28, to the data input/output, and the addition of parity generator [sic; checker] 34. These changes can be made easily.

[0021]

Embodiment 2

Figure 5 is a structural diagram of a system changeover circuit illustrating a second embodiment of the present invention; components identical to those in Figure 1 are denoted with identical keys. As in Figure 1, this system changeover circuit has an input terminal IN_0 , and an input terminal IN_1 for 1-system data. Input terminal IN_0 and input terminal IN_1 are respectively connected to the input terminals of parity generators 21, 22. Furthermore, input terminal IN_0 is connected to an output terminal of parity generator 21 and to a first input terminal in1 of a crossbar switch circuit 40. Inverter 24 is connected to an output terminal of parity generator 22, and input terminal IN_1 is connected to the output terminal of inverter 24 and to a second input terminal in2 of crossbar switch circuit 40. Furthermore, input terminals IN_0 , IN_1 are respectively connected to 0-system and 1-system input terminals of a phase comparison control circuit 29A, which is the phase comparison means. A first output terminal of phase comparison control circuit 40 [sic; 29A] that outputs a crossbar selection signal S29Aa is connected to a crossbar input terminal S of crossbar switch circuit 40, and is connected to a first input terminal of a 2-input XOR circuit 50 and an input terminal of a parity checker 27A. This parity checker 27A is

constructed such that the input terminal data is increased by 1 bit compared to the input terminal of parity checker 27 in Figure 1 (in other words, it is a 1-bit larger XOR circuit).

[0022]

A first output terminal out1 of crossbar switch circuit 40 is connected to a write data input terminal WDATA of a RAM 23. Furthermore, a second output terminal out2 of crossbar switch circuit 40 is connected to a second input terminal (in other words, a 1-system input terminal) of selector 28. System changeover control signal Sc is input to the second input terminal of XOR circuit 50. The output terminal of XOR circuit 50 is connected to selection signal input terminal S of selector 28. Furthermore, a second output terminal of phase comparison control circuit 40 outputs a write control signal S29Ab and is connected to write address counter 26, and an m-bit output terminal of said write address counter 26 is connected multiple times to the m-bit write address input terminal WAD of RAM 23. A third output terminal of phase comparison control circuit 40 outputs a read address control signal S29Ac and is connected to a read address counter 32, and the output terminal of said read address counter 32 outputs a read address signal S32 and is connected to the m-bit read address input terminal RAD of RAM 23. Furthermore, RAM 23, write address counter 26, read address counter 32, and phase comparison control circuit 40 comprise a phase adjustment means.

[0023]

The output terminal RDATA of RAM 23 is connected to the first input terminal (in other words, the 0-system input terminal) of selector 28 and is connected to an input terminal of parity checker 27A. The output terminal of parity checker 27A is connected to a processor (not shown in the figure) as an output terminal that outputs the 0-system parity alarm signal S27A. Furthermore, the (n+1)-bit output terminal Y of selector 28 is connected to an input terminal of a parity checker 34, and from said output terminal Y an n-bit output terminal, from which the parity bit is excluded, is connected to an output terminal OUT that outputs the output data S28a of the active system. The output terminal of parity checker 34 is connected to a processor (not shown in the figure) and outputs a system status signal S34. Figure 6 is a structural diagram of the crossbar switch circuit in Figure 5.

[0024]

This crossbar circuit switch 40 has a first input terminal in1. Input terminal in1 is connected to the respective input terminals of tri-state buffers 41, 42. Furthermore, crossbar switch circuit 40 has a second input terminal in2. Input terminal in2 is connected to the respective input terminals of tri-state buffers 43, 44. The output terminals of tri-state buffers 41,

43 are connected to a first output terminal out1, and the output terminals of tri-state buffers 42, 44 are connected to a second output terminal out2. Furthermore, this crossbar switch circuit 40 has a crossbar input terminal S. Crossbar input terminal S is connected to the control input terminals of tri-state buffers 42, 43 and to the input terminal of an inverter 45. The output terminal of inverter 45 is connected to the control input terminals of tri-state buffers 41, 44. Note that in this figure, input terminals in1, in2, output terminals out1, out2, and tri-state buffers 41-44 are shown as 1-bit devices, but there are actually $(n+1)$ bits.

[0025]

This crossbar switch circuit 40 functions as follows: when logic state 0 is input to crossbar input terminal S, tri-state buffers 41, 44 turn on and tri-state buffers 42, 43 turn off; therefore, input terminal in1 and output terminal out1 are connected, and input terminal in2 and output terminal out2 are connected. This is the bar state. In addition, when logic state 1 is input to crossbar input terminal S, tri-state buffers 42, 43 turn on and tri-state buffers 41, 44 turn off; therefore, input terminal in1 and output terminal out2 are connected, and input terminal in2 and output terminal out1 are connected. This is the cross state. Thus, with crossbar switch circuit 40 two connection states, a cross state and a bar state, are achieved by means of the logic state of crossbar selection signal S29Aa. Next, the operation of the aforementioned system changeover circuit shown in Figure 5 will be explained.

[0026]

First, an n -bit parallel ATM cell of the 0-system, input from input terminal IN_0 , and an n -bit parallel ATM cell of the 1-system, input from input terminal IN_1 , are respectively input to the 0-system input terminal and the 1-system input terminal of phase comparison control circuit 29A. Phase comparison control circuit 29A detects the phase difference between the 0-system data and the 1-system data; then, in order to make the difference between the counter value S26 of write address counter 26 and the counter value S32 of read address counter 32 [equivalent to] the detected phase difference, phase comparison control circuit 29A generates a read control signal S29Ac which delays the timing of write control signal S29Ab according to that phase difference, and these various control signals are supplied as the reset pulses for write address counter 26 and read address counter 32. Furthermore, at this time phase comparison control circuit 29A outputs, as crossbar selection signal S29Aa, phase information indicating whether the 0-system data or the 1-system data leads; this can be detected when it detects the phase difference between the 0-system data and the 1-system data. With the present embodiment, when the logic state of crossbar selection signal S29Aa is "0", the 0-system data leads, and when the logic state of crossbar selection signal S29Aa is "1", the 1-system data leads. In addition,

when they are the same phase, the logic state can be made "0" to indicate that the 0-system data leads or the logic state can be made "1" to indicate that the 1-system leads.

[0027]

In addition, the n-bit parallel ATM cell of the 0-system is input from input terminal IN_0 , parity bit signal S21 generated by parity generator 21 is added, and this is input to input terminal in1 of crossbar switch circuit 40. In the same manner the n-bit parallel ATM cell of the 1-system is input from input terminal IN_1 , a parity bit signal S24 that is produced by means of parity generator 22 and inverter 24 and that has different logic state from that of parity bit signal S21 is added, and this is input to input terminal in2 of crossbar switch circuit 40. Based on the logic state of crossbar selection signal S29Aa, each ATM cell input to crossbar switch circuit 40 is output in the cross state or the bar state. For example, if the 0-system ATM cell leads, the logic state of crossbar selection signal S29Aa will be "0" and crossbar selection circuit 40 will be in the bar state. Therefore, the 0-system ATM cell will be input to write data input terminal WDATA of RAM 23, and the 1-system ATM cell will be input to the second input terminal of selector 28. Furthermore, if the 1-system ATM cell leads, the logic state of crossbar selection signal A29Aa will be "1" and crossbar selection circuit 40 will be in the cross state. Therefore, the 1-system ATM cell will be input to write data input terminal WDATA of RAM 23, and the 0-system ATM cell will be input to the second input terminal of selector 28. In other words, the ATM cell of the system that leads is input to write data input terminal WDATA of RAM 23, and the ATM cell of the system that lags is input to the second input terminal of selector 28.

[0028]

The ATM cell of the system that leads is sequentially written, together with the parity bit, to RAM 23 according to the address S26 generated by means of write address counter 26. Next, the ATM cell written to RAM 23 is read together with the parity bit as (n+1)-bit readout data according to the address S32 generated by read address counter 32. Read control signal S29Ac and write control signal S29Ab are supplied to write address counter 26 and read address counter 32 as reset signals with a timing corresponding to the phase difference between the 0-system and the 1-system at phase comparison control circuit 29. Therefore, the write address counter 26 value and the read address counter 32 value differ according to the phase difference, and the data that has been written is read with a delay that corresponds to said phase difference so that the ATM cell of the system that leads is brought into phase with the ATM cell of the system that lags.

[0029]

The ATM cell and parity bit read from RAM 23 are input to the first input terminal (0) of selector 28 and are input to parity checker 27A. In addition, crossbar selection signal S29Aa is input to parity checker 27A. The logic state of parity alarm signal S27A is determined according to the logic state of this crossbar selection signal S29Aa, and it is transmitted to a processor. In other words, the logic state differs for the 0-system and 1-system parity bits that are input to parity checker 27A, and with the present embodiment, when the data read from RAM 23 is from the 0-system, the logic state of crossbar selection signal S29Aa is "0" so that the logic state is unchanged. Furthermore, when the data read out from RAM 23 is from the 1-system, the logic state of crossbar selection signal S29Aa is "1", so it changes to the same logic state as the 0-system and thus is the same logic state as that of the parity check result of the system changeover circuit of the prior art. On the other hand, the ATM cell of the system that lags is input together with the parity bit to the second input terminal of selector 28 from output terminal out2 of crossbar switch circuit 40, but because the phase difference between the respective ATM cells has been eliminated, switching can be performed without interruption, just as with the prior art.

[0030]

Here, the XOR S50 of crossbar selection signal S29Aa and system changeover signal Sc are input to selection signal input terminal S of selector 28. As shown in Figures 1 and 2, this is because the ATM cell of the system that leads is input to the first input terminal (0) and the ATM cell of the system that lags is input to the second input terminal (1) of selector 28, instead of inputting the ATM cell of the 0-system to the first input terminal (0) and the ATM cell of the 1-system to the second input terminal. For example, when the ATM cell of the 0-system leads, the logic state of crossbar selection signal S29Aa is "0" and the ATM cell of the 0-system is input to the first input terminal (0) of selector 28. At this time the logic state of XOR S50 used as the selection signal is identical to that of system changeover control signal Sc, so that the ATM cell of the system having the same logic state as that of system changeover control signal Sc is output from output terminal Y of selector 28. In other words, in Figures 1 and 2, selector 28 is switched in the same manner according to the logic state of system changeover control signal Sc.

[0031]

On the other hand, when the ATM cell of the 1-system leads, the logic state of crossbar selection signal S29Aa is "1" and the ATM cell of the 1-system is input to the first input terminal (0) of selector 28. At this time the logic state of exclusive OR S50 is the inverse of the logic state of system changeover control signal Sc, so that the ATM cell of the system having the

same logic state as that of system changeover control signal Sc is output from output terminal Y of selector 28. In other words, just as with the first embodiment, switching is performed uninterrupted according to the logic state of system changeover control signal Sc . In addition, except for the output of selector 28, the present embodiment is identical to the first embodiment, and the method of generating/adding the parity bit signal also is identical, so that the highly reliable system status signal obtained with the first embodiment can be obtained from output signal $S34$ of parity checker 34 as well. Here, the circuits that are added with respect to Figure 1 are crossbar switch circuit 40, the signal line for crossbar selection signal $S29Aa$, exclusive-OR circuit 50, and an additional 1 bit to the input terminal of parity checker 27A. With respect to these additional circuits, however, if one tri-state buffer is counted as 1, then the crossbar circuit is $4 \times (n+1)$, and with the exclusive-OR circuit and parity checker having added one bit, the scale increase will be on the order of 2. The signal line of crossbar selection signal $S29Aa$ is only wiring, so it is not counted. Accordingly, if $n = 8$, for example, the increment portion is $36 + 2$, or 38.

[0032]

Furthermore, compared to Figure 1 there is a reduction of one RAM, which is approximately $(n+1) \times k \times 0.5$, where $(n+1)$ is the bit width of the parallel data + the parity bit, and k is the number of words and the amount of the phase adjustment. At minimum this value must be one cell greater than the number of ATM cells; here, it is counted as one cell (1 cell: 53 bytes). Furthermore, if 0.5 is counted as the coefficient per one bit of RAM, then the difference will be $9 \times 53 \times 0.5 = 238.5$, which is six times greater. In actual practice an even larger RAM is required, so by comparison to Figure 1 the circuit scale is significantly reduced. Thus, this second embodiment provides between input terminals IN_0 , IN_1 , and RAM 23 a crossbar switch circuit 40 which can switch between a cross state and a bar state using a crossbar selection signal $S29Aa$ with the information, obtained by comparing phases at phase comparison control means 40, that indicates whether the data of the 0-system or of the 1-system lead. In addition, only the data of the system whose phase leads are delayed by reading it after it has been written to RAM 23, so its phase can be aligned with that of the system which lags in phase. Therefore, whereas two RAMs were required in Figures 1 and 2, this can be reduced to one, reducing the circuit scale.

[0033]

Furthermore, the present invention is not limited to the aforementioned embodiments; various modifications are possible. Some examples of those modifications are as follows:

(a) In the first embodiment inverters 24, 31 are respectively connected to the output terminals of parity generator 22 and parity checker 30 of the 1-system to change the logic state of the 0-system and the parity. In actual practice, however, if it is acceptable for the logic state of the 0-system and the 1-system to be different, inverters can be respectively connected to the output terminals of parity generator 21 and parity checker 27 of the 0-system.

(b) Other than RAM, the storage means can consist of a FIFO (First In First Out) memory.

(c) Crossbar switch circuit 40 can consist of a combination of gate circuits, such as a 2-input, 1-output selector, for example.

[0034]

Effect of the invention

As explained above, according to the first invention, by inverting the logic state of a second parity bit signal its logic state is made to differ from the logic state of a first parity bit signal; therefore, the logic state of each parity bit of data read from a first and second storage means differs. Therefore, when the parity of the output data from the selection means is checked by the parity checker, the parity check result differs according to whether the output data from said selection means are from the active system or the reserve system. If this parity check result is used as a status signal that represents the status of the system, because this system status signal represents information obtained from the output data which are output from the aforementioned selection means, it is possible to detect the current status of the system even when, for example, the selection means malfunctions and the system is not switched. A highly reliable system status signal can therefore be obtained.

[0035]

According to the second invention, a crossbar switch circuit is provided which can switch between a cross state and a bar state based on the result of detection of a phase difference between the ATM cell of the active system and the ATM cell of the reserve system, and by delaying only the data of the system that leads in phase by reading it out after it has been read in to the storage means, phase alignment is achieved with the system that lags. Furthermore, the two storage means required by the conventional system changeover circuit and the system changeover circuit of Figure 1 can be reduced to one, so that the circuit scale can be reduced. Furthermore, based on the XOR of the system changeover control signal and the crossbar selection signal, the selection means selects and outputs the ATM cell of the active system and the first parity bit signal or the ATM cell of the reserve system and the inverted parity bit signal,

now phase-aligned; therefore, the method of switching the output data based on a system changeover signal can be made the same as that of the conventional system changeover circuit.

Brief description of the figures

Figure 1 is a structural diagram of a system changeover circuit illustrating a first embodiment of the present invention.

Figure 2 is a structural diagram of a conventional system changeover circuit.

Figure 3 is a structural diagram of the parity generators in Figure 1.

Figure 4 is a structural diagram of the parity checkers in Figure 1.

Figure 5 is a structural diagram of a system changeover circuit illustrating a second embodiment of the present invention.

Figure 6 is a structural diagram of the crossbar switch circuit in Figure 5.

Explanation of symbols

1, 2, 21, 22	Parity generator
3, 4, 23, 25	RAM (storage means)
5, 26	Write address counter
6, 9, 27, 27A, 30, 34	Parity checker
7, 28	Selector (selection means)
8, 29, 29A	Phase comparison control circuit
10, 11, 32, 33	Read address counter
24, 31	Inverter
40	Crossbar switch circuit
50	Exclusive-OR

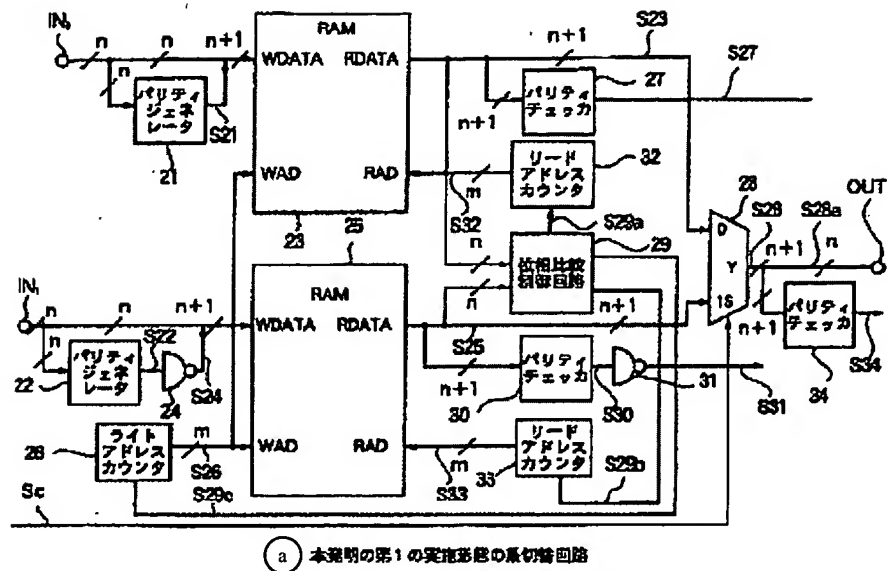


Figure 1

- Key: a System changeover circuit of a first embodiment of the present invention
- 21 Parity generator
- 22 Parity generator
- 26 Write address counter
- 27 Parity checker
- 29 Phase comparison control circuit
- 30 Parity checker
- 32 Read address counter
- 33 Read address counter
- 34 Parity checker

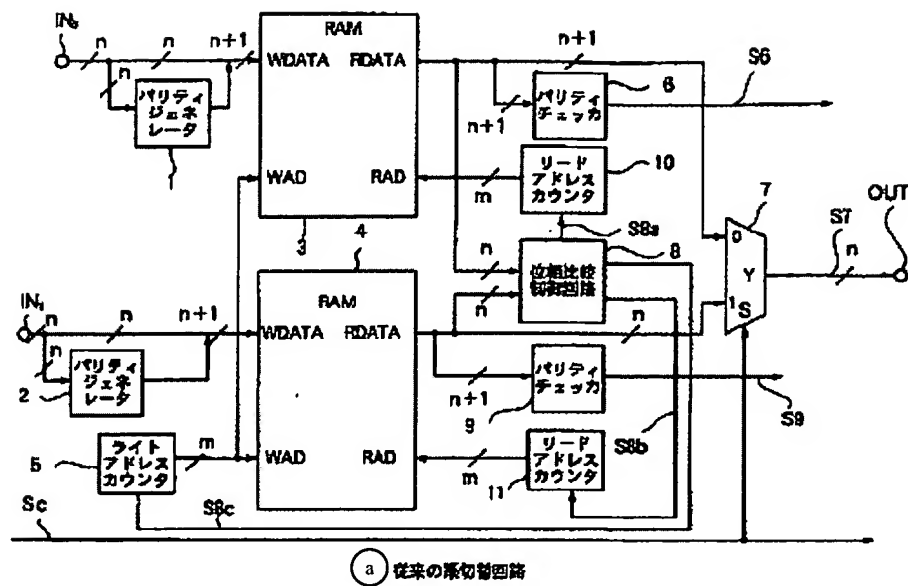
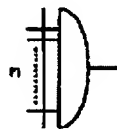


Figure 2

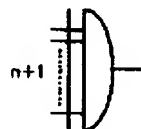
- Key: a Conventional system changeover circuit
- 1 Parity generator
 - 2 Parity generator
 - 5 Write address counter
 - 6 Parity checker
 - 8 Phase comparison control circuit
 - 9 Parity checker
 - 10 Read address counter
 - 11 Read address counter



a 図1中のパリティジェネレータ

Figure 3

- Key: a Parity generators in Figure 1



a 図1中のパリティチェッカ

Figure 4

Key: a Parity checkers in Figure 1

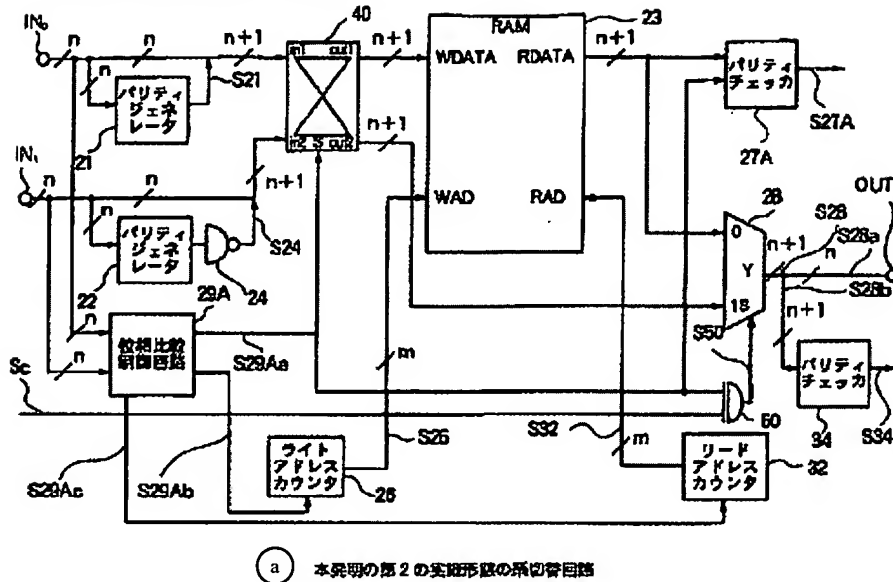


Figure 5

Key: a System changeover circuit of a second embodiment of the present invention
 21 Parity generator
 22 Parity generator
 26 Write address counter
 27A Parity checker
 29A Phase comparison control circuit
 32 Read address counter
 34 Parity checker

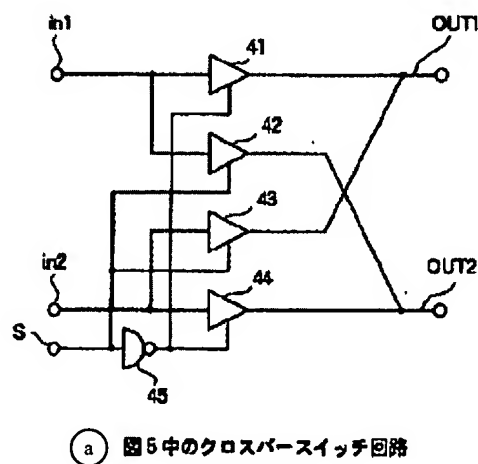


Figure 6

Key: a Crossbar switch circuit in Figure 5

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-284300

(43)Date of publication of application : 31.10.1997

(51)Int.Cl.

H04L 12/28

H04L 1/22

H04Q 3/00

(21)Application number : 08-094580

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 17.04.1996

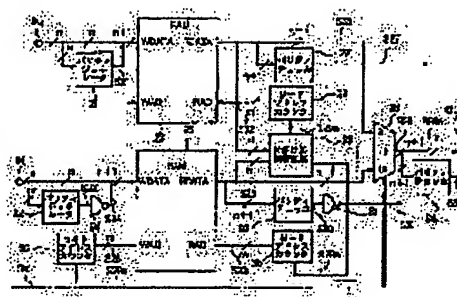
(72)Inventor : MORIMOTO KUNIO

(54) SYSTEM CHANGEOVER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize the system changeover circuit in which a system status signal with high reliability is obtained in transmission lines of duplicate configuration in an asynchronous transfer mode(ATM) network.

SOLUTION: A 0 system ATM cell is written in a RAM 23 with a parity bit signal S21. A 1 system ATM cell is written in a RAM 25 with an inverted parity bit signal S24. Read data S23 of the RAM 23 and read data S25 of the RAM 25 are given to a phase comparator control circuit 29, in which the phases of the data are arranged and the resulting data are given to a selector 28. Either of the data S23, S25 is selected depending on a logic state of the system changeover control signal Sc, but in this case, output data S28a other than parity bits in the output data S28 from the selector 28 are the same for the 0 and 1 systems, then the data are not momentarily interrupted even when the selector 28 is switched. A parity check result S34 of the output data S28 including the parity bits differs before and after the system is switched and is used for the system status signal.



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平9-284300

(43)公開日 平成9年(1997)10月31日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	D
1/22			1/22	
H 0 4 Q 3/00		9466-5K	H 0 4 Q 3/00	
			H 0 4 L 11/20	C

審査請求 未請求 請求項の数2 O L (全 12 頁)

(21)出願番号 特願平8-94580

(22)出願日 平成8年(1996)4月17日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 森本 邦夫

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

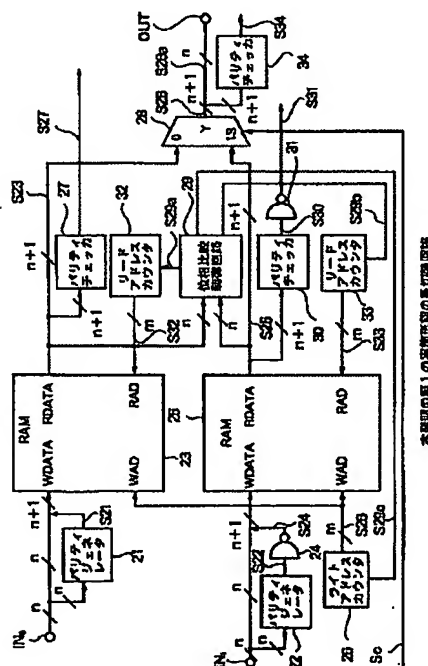
(74)代理人 弁理士 柿本 恭成

(54)【発明の名称】 系切替回路

(57)【要約】

【課題】 ATM網の2重化構成の伝送路における信頼性の高い系状態信号が得られる系切替回路を実現する。

【解決手段】 0系ATMセルはパリティビット信号S21と共にRAM23に書き込まれる。1系ATMセルは反転パリティビット信号S24と共にRAM25に書き込まれる。RAM23の読み出しデータS23及びRAM25の読み出しデータS25は、位相比較制御回路29によって位相が揃えられてセクタ28に入力される。データS23、S25は系切替制御信号Soの論理によって切り替わるが、この時、セクタ28の出力データS28のうちのパリティビット以外の出力データS28aは0系及び1系とも同じなので、セクタ28が切り替わっても断続しない。パリティビットを含んだ出力データS28のパリティチェック結果S34は系の切り替わった前後で異なり、系状態信号になる。



【特許請求の範囲】

【請求項 1】 第 1 の伝送路を介して順次入力される第 1 の系統の ATM セルと、第 2 の伝送路を介して順次入力される該第 1 の系統の ATM セルと同一内容の第 2 の系統の ATM セルとを、それぞれパラレルに入力し、該第 1 の系統の ATM セルと該第 2 の系統の ATM セルの位相を揃えた後にそれらのいずれか一方を選択して出力し、かつ該第 1 の系統の ATM セル又は該第 2 の系統の ATM セルのいずれを出力しているかを表す系統状態信号を出力する系切替回路において、

前記第 1 の系統の ATM セルを構成するパラレルの入力信号のうちの高レベルの入力信号の数の奇偶検査を行い、その検査結果に基づいて第 1 のパリティビット信号を生成する第 1 のパリティジェネレータと、

前記第 2 の系統の ATM セルを構成するパラレルの入力信号のうちの高レベルの入力信号の数の奇偶検査を行い、その検査結果に基づいて第 2 のパリティビット信号を生成する第 2 のパリティジェネレータと、

前記第 2 のパリティビット信号の論理を反転して反転パリティビット信号を生成するインバータと、

前記第 1 の系統の ATM セル及び前記第 1 のパリティビット信号をパラレルに順次入力して記憶する第 1 の記憶手段と前記第 2 の系統の ATM セル及び前記反転パリティビット信号をパラレルに順次入力して記憶する第 2 の記憶手段とを有し、該第 1 の記憶手段に記憶された該第 1 の系統の ATM セルを構成する各データと該第 2 の記憶手段に記憶された該第 2 の系統の ATM セルを構成する各データとを比較し、それらのリードデータが等しくなるようにリードアドレスを調整することにより、該第 1 の記憶手段からパラレルに読み出す第 1 の系統の ATM セル及び第 1 のパリティビット信号と該第 2 の記憶手段からパラレルに読み出す第 2 の系統の ATM セル及び第 2 のパリティビット信号の位相を揃える位相調整手段と、

前記位相が揃った前記第 1 の系統の ATM セル及び前記第 1 のパリティビット信号、又は前記第 2 の系統の ATM セル及び前記反転パリティビット信号を外部からの系切替制御信号に基づいて選択して出力する選択手段と、前記選択手段のパラレルの出力信号のうちの高レベルの信号の数の奇偶検査を行い、その検査結果を前記系統状態信号として出力するパリティチェッカとを、備えたことを特徴とする系切替回路。

【請求項 2】 第 1 の伝送路を介して順次入力される第 1 の系統の ATM セルと、第 2 の伝送路を介して順次入力される該第 1 の系統の ATM セルと同一内容の第 2 の系統の ATM セルとを、それぞれパラレルに入力し、該第 1 の系統の ATM セルと該第 2 の系統の ATM セルの位相を揃えた後にそれらのいずれか一方を選択して出力し、かつ該第 1 の系統の ATM セル又は該第 2 の系統の ATM セルのいずれを出力しているかを表す系統状態信号

を出力する系切替回路において、

請求項 1 記載の第 1 のパリティジェネレータ、第 2 のパリティジェネレータ及びインバータと、

前記第 1 の系統の ATM セルと前記第 2 の系統の ATM セルとの位相差を検出し、該第 1 の系統の ATM セルの位相が該第 2 の系統の ATM セルの位相よりも進んでいるときにクロスバー選択信号をバー状態にし、該第 1 の系統の ATM セルの位相が該第 2 の系統の ATM セルの位相よりも遅れているときにクロスバー選択信号をクロス状態にする位相比較手段と、

前記第 1 の系統の ATM セル及び前記第 1 のパリティビットを第 1 の入力端子から入力しかつ前記第 2 の系統の ATM セル及び前記反転パリティビットを第 2 の入力端子から入力し、前記クロスバー選択信号がバー状態のとき、該第 1 の系統の ATM セル及び該第 1 のパリティビットを第 1 の出力端子から出力しかつ該第 2 の系統の ATM セル及び該反転パリティビットを第 2 の出力端子から出力し、前記クロスバー選択信号がクロス状態のとき、該第 1 の系統の ATM セル及び該第 1 のパリティビットを該第 2 の出力端子から出力しかつ該第 2 の系統の ATM セル及び該反転パリティビットを該第 1 の出力端子から出力するクロスバースイッチ回路と、

前記クロスバースイッチ回路の第 1 の出力端子から出力された ATM セル及びパリティビットを記憶する記憶手段を有し、該記憶した ATM セル及びパリティビットを前記クロスバースイッチ回路の第 2 の出力端子から出力された ATM セル及びパリティビットに対して第 1 の系統の ATM セルと第 2 の系統の ATM セルとの前記位相差に対応した時間だけ遅れたタイミングで読み出すことにより該第 1 の系統の ATM セル及び該第 1 のパリティビット信号の位相と該第 2 の系統の ATM セル及び該反転パリティビット信号の位相とを揃える位相調整手段と、

外部からの系切替制御信号と前記クロスバー選択信号との排他的論理和をとる排他的論理和回路と、

前記位相が揃った前記第 1 の系統の ATM セル及び前記第 1 のパリティビット信号又は前記第 2 の系統の ATM セル及び前記反転パリティビットを前記排他的論理和に基づいて選択して出力する選択手段と、

請求項 1 記載のパリティチェッカとを、備えたことを特徴とする系切替回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ATM (Asynchronous Transfer Mode、非同期転送モード) 網における 2 系統の同一の ATM セルが伝送される現用伝送路及び予備伝送路を、該 ATM セルの重複や欠落無しに切り替える系切替回路に関するものである。

【0002】

【従来の技術】従来、このような分野の技術としては、

例えば、次のような文献に記載されるものがあつた。

文献1：信学技法(CS92-48)(1992-10)「ATM網における無瞬断伝送路切換方式」P.1-8

文献2：1993年電子情報通信学会秋季大会B-686「ATMシステム用無瞬断二重化切替えLSIの開発」P.3-325

前記文献1に記載されたATM網の2重化構成の伝送路の無瞬断系切替方式は、高信頼性を保つために0系及び1系の2つの全く同じデータが送られてくる2重化構成の伝送路を第1の系統(以下、現用系という)と第2の系統(以下、予備系という)とに使い分け、例えば保守運用等のために強制的に行なわれる系の切替の際、現用系のデータが瞬断(即ち、セルの重複や欠落)されることなく予備系に切り替わる機能を実現する方式である。この0系及び1系の2つの伝送路を介して送られてくる各データには、該各伝送路の長さの違いなどによって位相差が生じる。そのため、この位相差を検出して吸収することによって同一位相に揃えた後、切替えを行なうことによって無瞬断切替を実現している。

【0003】図2は、前記文献2に記載された従来の系切替回路の一例を示す構成図である。この系切替回路は、 n (n ：整数)ビットパラレルの0系データの入力端子 IN_0 及び1系データの入力端子 IN_1 を有している。入力端子 IN_0 及び入力端子 IN_1 はパリティジェネレータ1、2の各入力端子にそれぞれ接続されている。更に、入力端子 IN_0 及び入力端子 IN_1 は、パリティジェネレータ1、2の出力端子と共に $(n+1)$ ビット $\times 2^m$ ワードのRAM(Random Access Memory)3、4の各ライトデータ入力端子WDATAにそれぞれ接続されている。RAM3、4の m (m ：整数)ビットの各ライトアドレス入力端子WADには、ライトアドレスカウンタ5の m (m ：整数)ビットの出力端子がマルチ接続されている。0系のRAM3の $(n+1)$ ビットのリードデータ出力端子RDATAは、ここで読み出されたデータのパリティチェックをするためのパリティチェッカ6の入力端子に接続されている。パリティチェッカ6からは、パリティアラーム信号S6が図示しないプロセッサへ情報信号として出力されるようになっている。又、RAM3の出力端子RDATAからパリティビットを除いた n ビットの出力端子は、系切替用セクタ7の第1の入力端子(即ち、0系入力端子)に接続されると共に、0系と1系のデータの位相を比較し、その位相を制御するための位相比較制御回路8の第1の入力端子(即ち、0系入力端子)に接続されている。

【0004】同様に、1系のRAM4の $(n+1)$ ビットのリードデータ出力端子RDATAは、ここで読み出されたデータのパリティチェックをするためのパリティチェッカ9の入力端子に接続されている。パリティチェッカ9からは、パリティアラーム信号S9が図示しないプロセッサへ情報信号として出力されるようになっている。

又、RAM4の出力端子RDATAからパリティビットを除いた n ビットの出力端子は、系切替用セクタ7の第2の入力端子(即ち、1系入力端子)に接続されると共に、位相比較制御回路8の第2の入力端子(即ち、1系入力端子)に接続されている。RAM3、4の m ビットの各リードアドレス入力端子RADには、リードアドレスカウンタ10、11のリードアドレス信号を出力する各出力端子がそれぞれ接続されている。又、リードアドレスカウンタ10、11には、位相比較制御回路8からリードアドレス制御信号S8a、S8bがそれぞれ入力されるようになっている。位相比較制御回路8の出力信号としては、他にRAM3、4のライトアドレス値を制御するライトアドレス制御信号S8cがあり、ライトアドレスカウンタ5に入力されるようになっている。リードアドレス制御信号S8a、S8b及びライトアドレス制御信号S8cは、各アドレスカウンタの構成や制御方法にもよるが、ここでは、該各アドレスカウンタの値をリセットするためのリセット信号とする。

【0005】系切替制御信号S0は、図示しないプロセッサからの制御信号として入力される信号であり、セクタ7の選択信号入力端子Sに入力されると共に、パリティアラーム信号S6、S9と同様に図示しないプロセッサへの情報信号として出力されるようになっている。又、セクタ7の出力端子は、切り替わった n ビットパラレルの出力データS7を出力する出力端子OUTに接続されている。次に、図2の動作を説明する。0系及び1系の各伝送路から入ってきた各ATMセルはRAM3、4に順次シーケンシャルにそれぞれ書き込まれ、該書き込まれた各ATMセルは順次シーケンシャルにそれぞれ読み出される。位相比較制御回路8は、この時のRAM3、4からそれぞれ読み出された各ATMセルの一部であるデータを所定のタイミングでラッチする。ラッチされた0系のデータは、順次読みだされてくる1系のデータと比較される。同様に、ラッチされた1系のデータは、順次読み出されてくる0系のデータと比較される。そして、それらのデータがそれぞれ一致するまで比較される。

【0006】ここで、0系及び1系共に全く同じATMセルが正常に伝送路から送られてきていれば、データはどこかで必ず一致するはずである。一致の検出方法は、色々なアルゴリズムが提案されており、通常1回の一致では検出とは見做さないが、ここでは検出方法は関係がないので、1回の一致で検出と見做して説明する。位相比較制御回路8において、例えば0系のラッチ側で一致を検出したとすると、データの位相は0系の方が進んでいることになり、位相差はラッチしてから一致を検出した時までの間に進んだ読み出しアドレスの数になる。そのため、RAM3、4の読み出しアドレスを、この進んだアドレスの数だけ0系のアドレス値に対して1系のアドレス値を進ませるか、又は、0系のアドレス値を遅ら

せる制御をリードアドレス制御信号S8a、S8bによって行なえば、RAM3、4から読み出される各データの位相が揃うことになる。このようにして位相の揃った各データがセクタ7にそれぞれ入力された後では、系切替制御信号Soによって該セクタ7の入力信号がいつ切り替わっても、出力データS7は全く瞬断することなく切り替わる。尚、このようにRAMを使った系切替回路では、RAMの書き込み又は読み出し時に該RAMの信頼性確保のため、前記各データに対してパリティビットの付加が必須となる。

【0007】

【発明が解決しようとする課題】しかしながら、図2の系切替回路では、次のような課題があった。即ち、0系及び1系の各伝送路は、故障していなくても保守上の検査等で予備系が断になることがある。この場合、運用中における0系及び1系のどちらが現用系又は予備系であるかを示す系状態信号は非常に高い信頼性が要求される。ところが、図2に示す系切替回路のように、系切替制御信号Scの論理を現用系の状態を表す系状態信号としてプロセッサに通知する回路では、この系切替制御信号Scがセクタ7の選択信号でもあるので、現在の出力データS7が0系か1系かを知ることはできるが、この出力データS7自体を検出して確認しているわけではない。そのため、前記各伝送路が正常であれば、仮にセクタ7が故障して入力信号が切り替わっていても0系及び1系とも全く同じ値が出力されるので、現在の出力データS7が0系か1系かを確認することができない。従って、図2の系切替回路は、信頼性の高い系状態信号が得られる回路ではないという問題があった。

【0008】

【課題を解決するための手段】第1の発明は、前記課題を解決するために、第1の伝送路を介して順次入力される現用系ATMセルと、第2の伝送路を介して順次入力される該現用系ATMセルと同一内容の予備系ATMセルとを、それぞれパラレルに入力し、該現用系ATMセルと該予備系ATMセルの位相を揃えた後にそれらのいずれか一方を選択して出力し、かつ該現用系ATMセル又は該予備系ATMセルのいずれを出力しているかを表す系状態信号を出力する系切替回路において、系切替回路において、次のような手段を備えている。即ち、前記現用系ATMセルを構成するパラレルの入力信号のうちの高レベル（以下、“1”という）の入力信号の数の奇偶検査を行い、その検査結果に基づいて第1のパリティビット信号を生成する第1のパリティジェネレータと、前記予備系ATMセルを構成するパラレルの入力信号のうち“1”の入力信号の数の奇偶検査を行い、その検査結果に基づいて第2のパリティビット信号を生成する第2のパリティジェネレータと、前記第2のパリティビット信号の論理を反転して反転パリティビット信号を生成するインバータと、前記現用系ATMセル及び前記第

1のパリティビット信号をパラレルに順次入力して記憶する第1の記憶手段と前記予備系ATMセル及び前記反転パリティビット信号をパラレルに順次入力して記憶する第2の記憶手段とを有し、該第1の記憶手段に記憶された該現用系ATMセルを構成する各データと該第2の記憶手段に記憶された該予備系ATMセルを構成する各データとを比較し、それらのリードデータが等しくなるようにリードアドレスを調整することにより、該第1の記憶手段からパラレルに読み出す現用系ATMセル及び第1のパリティビット信号と該第2の記憶手段からパラレルに読み出す予備系ATMセル及び第2のパリティビット信号の位相を揃える位相調整手段と、前記位相が揃った前記現用系ATMセル及び前記第1のパリティビット信号、又は前記予備系ATMセル及び前記反転パリティビット信号を外側からの系切替制御信号に基づいて選択して出力する選択手段と、前記選択手段のパラレルの出力信号のうちの“1”の信号の数の奇偶検査を行い、その検査結果を前記系状態信号として出力するパリティチェッカとを、備えている。

【0009】この第1の発明によれば、以上のように系切替回路を構成したので、現用系ATMセルは第1のパリティジェネレータに入力されて第1のパリティビット信号が生成される。又、予備系ATMセルは、第2のパリティジェネレータに入力されて第2のパリティビット信号が生成される。この第2のパリティビット信号はインバータに入力されて論理が反転され、反転パリティビット信号が生成される。次に、前記現用系ATMセル及び前記第1のパリティビット信号と前記予備系ATMセル及び前記反転パリティビット信号は、位相調整手段に入力されて位相が揃ったものになる。位相が揃った前記現用系ATMセル及び前記第1のパリティビット信号又は前記予備系ATMセル及び前記反転パリティビット信号は、選択手段で系切替制御信号に基づいて選択されて出力される。この選択手段の出力信号はパリティチェッカに入力されてパリティチェックされるが、第1のパリティビット信号の論理と反転パリティビット信号の論理は異なるので、このパリティチェックの結果から、前記選択手段の出力信号は前記現用系ATMセルか前記予備系ATMセルかが判定される。

【0010】第2の発明では、第1の伝送路を介して順次入力される現用系ATMセルと、第2の伝送路を介して順次入力される該現用系ATMセルと同一内容の予備系ATMセルとを、それぞれパラレルに入力し、該現用系ATMセルと該予備系ATMセルの位相を揃えた後にそれらのいずれか一方を選択して出力し、かつ該現用系ATMセル又は該予備系ATMセルのいずれを出力しているかを表す系状態信号を出力する系切替回路において、次のような手段を備えている。即ち、第1の発明の第1のパリティジェネレータ、第2のパリティジェネレータ及びインバータと、前記現用系ATMセルと前記予

備系ATMセルとの位相差を検出し、該現用系ATMセルの位相が該予備系ATMセルの位相よりも進んでいるときにクロスバー選択信号をバー状態にし、該現用系ATMセルの位相が該予備系ATMセルの位相よりも遅れているときにクロスバー選択信号をクロス状態にする位相比較手段と、前記現用系ATMセル及び前記第1のバリティビットを第1の入力端子から入力しかつ前記予備系ATMセル及び前記反転バリティビットを第2の入力端子から入力し、前記クロスバー選択信号がバー状態のとき、該現用系ATMセル及び該第1のバリティビットを第1の出力端子から出力しかつ該予備系ATMセル及び該反転バリティビットを第2の出力端子から出力し、前記クロスバー選択信号がクロス状態のとき、該現用系ATMセル及び該第1のバリティビットを該第2の出力端子から出力しかつ該予備系ATMセル及び該反転バリティビットを該第1の出力端子から出力するクロスバースイッチ回路と、前記クロスバースイッチ回路の第1の出力端子から出力されたATMセル及びバリティビットを記憶する記憶手段を有し、該記憶したATMセル及びバリティビットを前記クロスバースイッチ回路の第2の出力端子から出力されたATMセル及びバリティビットに対して現用系ATMセルと予備系ATMセルとの前記位相差に対応した時間だけ遅れたタイミングで読み出すことによって該現用系ATMセル及び該第1のバリティビット信号の位相と該予備系ATMセル及び該反転バリティビット信号の位相とを揃える位相調整手段と、外部からの系切替制御信号と前記クロスバー選択信号との排他的論理和をとる排他的論理和回路と、前記位相が揃った前記現用系ATMセル及び前記第1のバリティビット信号又は前記予備系ATMセル及び前記反転バリティビットを前記排他的論理和に基づいて選択して出力する選択手段と、第1の発明のバリティチェックとを、備えている。

【0011】この第2の発明によれば、現用系ATMセルは第1のバリティジェネレータに入力されて第1のバリティビット信号が生成される。又、予備系ATMセルは、第2のバリティジェネレータに入力されて第2のバリティビット信号が生成される。この第2のバリティビット信号はインバータに入力されて論理が反転され、反転バリティビット信号が生成される。一方、位相比較手段において、現用系ATMセルと予備系ATMセルとの位相差が検出され、該現用系ATMセルの位相が該予備系ATMセルの位相よりも進んでいるときにクロスバー選択信号はバー状態になり、該現用系ATMセルの位相が該予備系ATMセルの位相よりも遅れているときに該クロスバー選択信号がクロス状態になる。前記現用系ATMセル及び前記第1のバリティビットはクロスバースイッチ回路第1の入力端子から入力され、かつ前記予備系ATMセル及び前記反転バリティビットが該クロスバースイッチ回路の第2の入力端子から入力される。ここ

でクロスバースイッチ回路は、前記クロスバー選択信号に基づいて位相が進んでいる系のATMセル及びバリティビット信号を選び出して位相調整手段へ送出する。

【0012】位相調整手段において、位相が進んでいる系のATMセル及びバリティビット信号は、位相が遅れている系のATMセル及びバリティビット信号と同一の位相になる。位相が揃った前記現用系ATMセル及び前記第1のバリティビット信号又は前記予備系ATMセル及び前記反転バリティビットは選択手段に入力され、系切替制御信号と前記クロスバー選択信号との排他的論理和に基づいて選択されて出力される。この選択手段の出力信号はバリティチェックに入力されてバリティチェックされるが、第1のバリティビット信号の論理と反転バリティビット信号の論理は異なるので、このバリティチェックの結果から、前記選択手段の出力信号は前記現用系ATMセルか前記予備系ATMセルかが判定される。従って、前記課題を解決できるのである。

【0013】

【発明の実施の形態】

第1の実施形態

図1は本発明の第1の実施形態を示す系切替回路の構成図、図3は図1中のバリティジェネレータの構成図、及び図4は図1中のバリティチェックの構成図である。この系切替回路は、 n ビットパラレルの0系データの入力端子 IN_0 及び1系データの入力端子 IN_1 を有している。入力端子 IN_0 及び入力端子 IN_1 は第1及び第2のバリティジェネレータ21、22の各入力端子にそれぞれ接続されている。バリティジェネレータ21、22は、図3に示すような例えば n 入力の排他的論理和（以下、 $EXOR$ という）回路で構成され、“1”の入力信号の数が偶数ならば出力信号が“0”になり、“1”の入力信号の数が奇数ならば出力信号が“1”になる回路である。このため、バリティジェネレータ21、22は、0系及び1系の各伝送路から入ってきたパラレル状態の各ATMセルの“1”の数の奇偶に基づいて“1”又は“0”のバリティビット信号 S_{21} 、 S_{22} をそれぞれ生成する機能を有している。

【0014】更に、入力端子 IN_0 は、バリティジェネレータ21の出力端子と共に $(n+1)$ ビット× 2^m ワードのRAM23のライトデータ入力端子WDATAに接続されている。バリティジェネレータ22の出力端子にはインバータ24が接続されている。このインバータ24は、バリティビット信号 S_{22} を0系（即ち、バリティビット信号 S_{21} ）とは反対の論理にする機能を有している。入力端子 IN_1 は、インバータ24の出力端子と共に $(n+1)$ ビット× 2^m ワードのRAM25のライトデータ入力端子WDATAに接続されている。又、RAM23、25の m ビットの各ライトアドレス入力端子WADには、ライトアドレスカウンタ26の m ビットの出力端子がマルチ接続されている。RAM23の $(n+1)$ ピ

ットのリードデータ出力端子RDATAは、ここで読み出されたデータのパリティチェックをするためのパリティチェッカ27の入力端子に接続されている。このパリティチェッカ27は、図4に示すような例えば $(n+1)$ 入力EXOR回路で構成されている。パリティチェッカ27の出力端子は、0系パリティアラーム信号S27を出力する出力端子として図示しないプロセッサに接続されている。又、RAM23の出力端子RDATAの出力端子は、選択手段であるセクタ28の第1の入力端子（即ち、0系入力端子）に接続されている。又、RAM23の出力端子RDATAからパリティビットを除いた n ビットの出力端子は、0系及び1系のデータの位相を比較するための位相比較制御回路29の0系入力端子に接続されている。

【0015】同様に、1系のRAM25の $(n+1)$ ビットのリードデータ出力端子RDATAは、ここで読み出されたデータのパリティチェックをするためのパリティチェッカ30の入力端子に接続されている。このパリティチェッカ30は、パリティチェッカ27と同様に $(n+1)$ 入力EXOR回路で構成されている。パリティチェッカ30の出力端子はインバータ31の入力端子に接続され、該インバータ31の出力端子が1系パリティアラーム信号S31を出力する出力端子として図示しないプロセッサに接続されている。又、RAM25の出力端子RDATAの出力端子は、セクタ28の第2の入力端子（即ち、1系入力端子）に接続されている。RAM25の出力端子RDATAからパリティビットを除いた n ビットの出力端子は、位相比較制御回路29の1系入力端子に接続されている。RAM23、25の m ビットの各リードアドレス入力端子RADには、リードアドレスカウンタ32、33のリードアドレス信号S32、S33を出力する各出力端子がそれぞれ接続されている。又、リードアドレスカウンタ32、33には、位相比較制御回路29からリードアドレス制御信号S29a、S29bがそれぞれ入力されるようになっている。位相比較制御回路29の出力信号としては、他にライトアドレス値を制御するライトアドレス制御信号S29cがあり、ライトアドレスカウンタ26に入力されるようになっている。リードアドレス制御信号S29a、S29b及びライトアドレス制御信号S29cは、各アドレスカウンタの構成や制御方法にもよるが、ここでは、該各アドレスカウンタの値をリセットするためのリセット信号とする。又、これらのRAM23、25、ライトアドレスカウンタ26、位相比較制御回路29及びリードアドレスカウンタ32、33で位相調整手段が構成されている。

【0016】系切替制御信号Scは、図示しないプロセッサからの制御信号として入力される信号であり、セクタ28の選択信号入力端子Sに入力されるようになっている。又、セクタ28の $(n+1)$ ビットの出力端子Yはパリティチェッカ34の入力端子に接続され、該

出力端子Yからパリティビットを除いた n ビットの出力端子が現用系の出力データS28aを出力する出力端子OUTに接続されている。パリティチェッカ34の出力端子は図示しないプロセッサに接続され、系状態信号S34が出力されるようになっている。このパリティチェッカ34は、 $(n+1)$ 入力EXOR回路で構成されている。次に、図1の動作を説明する。0系の n ビットパラレルのATMセルは入力端子IN0から入力され、パリティジェネレータ21によって生成されたパリティビット信号S21が付加されてRAM23の $(n+1)$ ビットの入力データとして、ライトアドレスカウンタ26によって生成されたアドレスS26に従って書き込まれる。同様に、1系の n ビットパラレルのATMセルは入力端子IN1から入力され、パリティジェネレータ22とインバータ24によってパリティビット信号S21とは論理の異なる反転パリティビット信号S24が付加されてRAM25の $(n+1)$ ビットの入力データとして、ライトアドレスカウンタ26によって生成されたアドレスに従って書き込まれる。

【0017】ここで、ライトアドレスカウンタ26は m ビットのアップカウンタで構成され、更にライトアドレスS26は0系及び1系で共通なので、位相比較制御回路29で生成されたライト制御信号S29cによって所定のタイミングでリセットをかけることにより、0系及び1系の各入力データは同時にアドレス値0から順次シーケンシャルに書き込まれていく。次に、RAM23、25にそれぞれ書き込まれた各ATMセルのデータは、リードアドレスカウンタ32、33によって生成されたアドレスデータS32、S33に基づいて読み出される。これらのリードアドレスカウンタ32、33はライトアドレスカウンタ26と同様に m ビットのアップカウンタで構成され、位相比較制御回路29で生成されたライト制御信号S29cのタイミングに対し、位相比較を始めるために適当な遅延を持った0系及び1系とも同タイミングのリード制御信号S29a、S29bによってリセットが掛かることにより、前記各データが順次シーケンシャルに読み出される。

【0018】このリセットの後、RAM23、25の同一の各リードアドレスからそれぞれ $(n+1)$ ビットのデータが読み出される。この $(n+1)$ ビットのデータからパリティビットを除いた n ビットの各データは、位相比較制御回路29にそれぞれ入力されてラッチされる。ラッチされた0系のデータは順次読みだされてくる1系のデータと一致するまで比較される。同時に、ラッチされた1系のデータは順次読み出されてくる0系のデータと一致するまで比較される。ここで、0系及び1系共に全く同じ各ATMセルが正常に各伝送路から送られてきていれば、どこかで必ず一致するはずである。一致の検出方法は、色々なアルゴリズムが提案されており、通常1回の一致では検出とは見做さないが、ここでは検

出方法は関係がないので、1回の一致で検出と見做して説明する。例えば0系のラッチ側で一致を検出したとすると、データの位相は0系の方が進んでいることになり、位相差はラッチしてから一致を検出した時までの間に進んだ読み出しアドレスの数になるので、RAMの読み出しアドレスを該進んだアドレスの数だけ0系のアドレス値に対して1系のアドレス値を進ませるか、又は、0系のアドレス値を遅らせる制御をリード制御信号S29a、S29bによって行ない、各データの位相を合わせる。

【0019】各データの位相が一致した後、RAM23、25から読み出した(n+1)ビットのデータS23、S25はパリティチェック27、30にそれぞれ入力され、該パリティチェック27の出力信号S27は0系のRAM23のパリティアラーム信号S27としてプロセッサに送られる。一方、パリティチェック30の出力信号S30はインバータ31で反転されて0系と同じ論理になり、1系のRAM25のパリティアラーム信号S31としてプロセッサに送られる。又、RAM23から読み出したデータS23はセクタ28の第1の入力端子に入力され、RAM25から読み出したデータS25が該セクタ28の第2の入力端子に入力される。これらのデータS23、S25は系切替制御信号Scの論理によって切り替わるが、この時、セクタ28の出力データS28のうちのパリティビット以外の出力データS28aは0系及び1系とも全く同じであるため、出力データS28aはセクタ28がどのタイミングで切り替わっても従来と同様に全く瞬断しない。

【0020】又、パリティビットを含んだ出力データS28は、パリティチェック34に入力されるが、パリティビットの論理は0系と1系とで異なるため、パリティチェック結果S34は系の切り替わった前後で異なる。例えば、0系のデータが出力されている時はパリティチェック結果S34は“0”となり、1系のデータが出力されている時は該パリティチェック結果S34が“1”となり、出力データS28の系の状態と一致する。このパリティチェック結果S34が系状態信号としてプロセッサに送出される。以上のように、この第1の実施形態では、パリティジェネレータ22で生成されたパリティビット信号S22の論理をインバータ24で反転することによって0系のパリティビット信号S21と異なった論理になるようにしたので、RAM23、25から読み出したデータS23、S25の各パリティビットの論理が異なったものになる。そのため、セクタ28から出力される出力データS28をパリティチェック34でパリティチェックすると、パリティチェック結果S34は、出力データS28が0系か1系かで異なるものになる。このパリティチェック結果S34を系の現在の状態をあらわす系状態信号にすれば、この系状態信号はセクタ28の出力信号S28から得た情報なので、仮

にセクタ28が故障して系が切り替わらない場合でも系の現在の状態を検出でき、非常に信頼性の高い系状態信号が得られる。尚、この場合の従来の図2の系切替回路に対する変更点は、1系のパリティジェネレータ22の出力信号の論理を反転するためのインバータ24、パリティチェック30の出力信号S30の論理を反転するためのインバータ31、セクタ28のパリティビットに対応するデータ入出力1ビット及びパリティジェネレータ34の追加であり、変更が容易にできる。

【0021】第2の実施形態

図5は、本発明の第2の実施形態を示す系切替回路の構成図であり、図1中の要素と共通の要素には共通の符号が付されている。この系切替回路は、図1と同様に入力端子IN0及び1系データの入力端子IN1を有している。入力端子IN0及び入力端子IN1はパリティジェネレータ21、22の各入力端子にそれぞれ接続されている。又、入力端子IN0はパリティジェネレータ21の出力端子と共にクロスバースイッチ回路40の第1の入力端子in1に接続されている。パリティジェネレータ22の出力端子にはインバータ24が接続され、入力端子IN1が該インバータ24の出力端子と共に該クロスバースイッチ回路40の第2の入力端子in2に接続されている。又、入力端子IN0、IN1は、位相比較手段である位相比較制御回路29Aの0系及び1系入力端子にそれぞれ接続されている。位相比較制御回路40のクロスバースイッチ信号S29Aaを出力する第1の出力端子はクロスバースイッチ回路40のクロスバースイッチ回路Sに接続されると共に、2入力E×OR回路50の第1の入力端子及びパリティチェック27Aの入力端子に接続されている。このパリティチェック27Aは、図1中のパリティチェック27の入力端子が1ビット増えた構成（即ち、1ビット増えたE×OR回路）になっている。

【0022】クロスバースイッチ回路40の第1の出力端子out1は、RAM23のライトデータ入力端子WDATAに接続されている。又、クロスバースイッチ回路40の第2の出力端子out2は、セクタ28の第2の入力端子（即ち、1系入力端子）に接続されている。系切替制御信号Scは、E×OR回路50の第2の入力端子に入力されるようになっている。E×OR回路50の出力端子は、セクタ28の選択信号入力端子Sに接続されている。更に、位相比較制御回路40のライト制御信号S29Abを出力する第2の出力端子はライトアドレスカウンタ26に接続され、該ライトアドレスカウンタ26のmビットの出力端子がRAM23のmビットのライトアドレス入力端子WADにマルチ接続されている。位相比較制御回路40のリードアドレス制御信号S29Acを出力する第3の出力端子はリードアドレスカウンタ32に接続され、該リードアドレスカウンタ32のリードアドレス信号S32を出力する出力端子がRAM2

3のmビットのリードアドレス入力端子RADに接続されている。又、これらのRAM23、ライトアドレスカウンタ26、リードアドレスカウンタ32及び位相比較制御回路40で位相調整手段が構成されている。

【0023】RAM23の出力端子RDATAの出力端子はセクタ28の第1の入力端子(即ち、0系入力端子)に接続されると共に、パリティチェック27Aの入力端子に接続されている。パリティチェック27Aの出力端子は、0系パリティアラーム信号S27Aを出力する出力端子として図示しないプロセッサに接続されている。又、セクタ28の(n+1)ビットの出力端子Yはパリティチェック34の入力端子に接続され、該出力端子Yからパリティビットを除いたnビットの出力端子が現用系の出力データS28aを出力する出力端子OUTに接続されている。パリティチェック34の出力端子は図示しないプロセッサに接続され、系状態信号S34が出力されるようになっている。図6は、図5中のクロスバースイッチ回路の一例を示す構成図である。

【0024】このクロスバースイッチ回路40は、第1の入力端子in1を有している。入力端子in1はトライステートバッファ41、42の各入力端子に共通に接続されている。又、このクロスバースイッチ回路40は、第2の入力端子in2を有している。入力端子in2はトライステートバッファ43、44の各入力端子に共通に接続されている。トライステートバッファ41、43の出力端子は共に第1の出力端子out1に接続され、トライステートバッファ42、44の出力端子は共に第2の出力端子out2に接続されている。更に、このクロスバースイッチ回路40は、クロスバース入力端子Sを有している。クロスバース入力端子Sはトライステートバッファ42、43の制御入力端子に接続されると共に、インバータ45の入力端子に接続されている。インバータ45の出力端子は、トライステートバッファ41、44の制御入力端子に接続されている。但し、この図では、各入力端子in1、in2、各出力端子out1、out2及び各トライステートバッファ41~44はそれぞれ1ビットで表示されているが、実際には(n+1)ビット存在する。

【0025】このようなクロスバースイッチ回路40では、次のような機能を有している。即ち、クロスバース入力端子Sに論理0が入力されたとすると、トライステートバッファ41、44がオン状態になり、かつトライステートバッファ42、43がオフ状態になるので、入力端子in1と出力端子out1が接続され、かつ入力端子in2と出力端子out2が接続される。これをバー状態という。又、クロスバース入力端子Sに論理1が入力されたとすると、トライステートバッファ42、43がオン状態になり、かつトライステートバッファ41、44がオフ状態になるので、入力端子in1と出力端子out2が接続され、入力端子in2と出力端子out1

が接続される。これをクロス状態という。このようにクロスバースイッチ回路40では、クロスバース選択信号S29Aaの論理によってクロス状態又はバー状態の2つの状態の接続が行なわれる。以上のように構成される図5の系切替回路の動作を説明する。

【0026】まず、入力端子IN0から入力される0系のnビットパラレルのATMセル及び入力端子IN1から入力される1系のnビットパラレルのATMセルは、位相比較制御回路29Aの0系入力端子及び1系入力端子にそれぞれ入力される。位相比較制御回路29Aは、0系のデータと1系のデータの位相差を検出する。そして、位相比較制御回路29Aは、検出した位相差をライトアドレスカウンタ26のカウント値S26とリードアドレスカウンタ32のカウント値S32との差にするために、ライト制御信号S29Abに対して該位相差の分だけタイミングを遅らせたリード制御信号S29Acを生成し、これらの各制御信号をライトアドレスカウンタ26及びリードアドレスカウンタ32のリセットパルスとしてそれぞれ与える。又、この時、位相比較制御回路29Aは、0系のデータと1系のデータとの位相差の検出時に検出できる0系及び1系のデータのどちらが進んでいるかを示す位相情報をクロスバース選択信号S29Aaとして出力する。本実施形態では、このクロスバース選択信号S29Aaの論理が“0”の時に0系のデータが進んでいるとし、該クロスバース選択信号S29Aaの論理が“1”の時に1系のデータが進んでいるとする。尚、同相の場合は、0系のデータが進んでいるとして論理を“0”とするか、又は1系のデータが進んでいるとして論理を“1”としてもよいが、いずれか一方に決定するものとする。

【0027】一方、0系のnビットパラレルのATMセルは入力端子IN0から入力され、パリティジェネレータ21によって生成されたパリティビット信号S21が付加されてクロスバースイッチ回路40の入力端子in1に入力される。同様に、1系のnビットパラレルのATMセルは入力端子IN1から入力され、パリティジェネレータ22とインバータ24によってパリティビット信号S21とは論理の異なるパリティビット信号S24が付加されてクロスバースイッチ回路40の入力端子in2に入力される。クロスバースイッチ回路40に入力された各ATMセルは、クロスバース選択信号S29Aaの論理に基づき、クロス状態又はバー状態で出力される。例えば0系のATMセルが進んでいるとすると、クロスバース選択信号S29Aaの論理は“0”になり、クロスバースイッチ回路40がバー状態となる。そのため、0系のATMセルはRAM23のライトデータ入力端子RDATAに入力され、1系のATMセルがセクタ28の第2の入力端子に入力される。又、1系のATMセルが進んでいるとすると、クロスバース選択信号S29Aaの論理は“1”になり、クロスバースイッチ回路40

はクロス状態となる。そのため、1系のATMセルはRAM23のライトデータ入力端子WDATAに入力され、0系のATMセルがセクタ28の第2の入力端子に入力される。つまり、進んでいる系のATMセルがRAM23のライトデータ入力端子WDATAに入力され、遅れている系のATMセルがセクタ28の第2の入力端子に入力されることになる。

【0028】進んでいる系のATMセルは、ライトアドレスカウンタ26によって生成されたライトアドレスS26に従ってパリティビットと共にRAM23に順次シーケンシャルに書き込まれる。次に、RAM23に書き込まれたATMセルは、リードアドレスカウンタ32によって生成されたアドレスS32に従って $(n+1)$ ビットの読み出しデータとしてパリティビットを伴って読み出される。ライトアドレスカウンタ26及びリードアドレスカウンタ32には、位相比較制御回路29で0系と1系の位相差分のタイミングをもったライト制御信号S29Ab及びリード制御信号S29Acがリセット信号としてそれぞれ与えられるので、ライトアドレスカウンタ26の値とリードアドレスカウンタ32の値には位相差分の違いが生じ、書き込まれたデータは該位相差に対応した遅延をもって読み出されるので、進んでいる系のATMセルは遅れている系のATMセルと同相になる。

【0029】RAM23から読み出されたATMセル及びパリティビットは、セクタ28の第1の入力端子(0)に入力されると共に、パリティチェック27Aに入力される。このパリティチェック27Aには、クロスパー選択信号S29Aaも入力されている。このクロスパー選択信号S29Aaの論理に従い、パリティアラーム信号S27Aの論理が決定されてプロセッサに送られる。つまり、パリティチェック27Aに入力される0系及び1系のパリティビットの論理は異なり、本実施形態の場合、RAM23から読み出したデータが0系のとき、クロスパー選択信号S29Aaの論理は“0”であって論理は変わらない。又、RAM23から読み出したデータが1系のとき、クロスパー選択信号S29Aaの論理は“1”であるため、0系と同じ論理に変わることによって従来の系切替回路のパリティチェック結果の論理と同じになる。一方、セクタ28の第2の入力端子には、遅れている系のATMセルがパリティビット信号と共にクロスパースイッチ回路40の出力端子out2から入力されてくるが、各ATMセルには位相差がなくなっているので、従来と同様に無断で切り替えることができる。

【0030】ここで、セクタ28の選択信号入力端子Sには、クロスパー選択信号S29Aaと系切替制御信号Scとの排他的論理和S50が入力されている。これは、図1又は図2に示すように、セクタ28の第1の入力端子(0)に対して0系のATMセルが入力し、第

2の入力端子に対して1系のATMセルが入力するようにはならず、位相が進んでいる系のATMセルが第1の入力端子(0)に入力し、位相が遅れている系のATMセルが第2の入力端子(1)に入力するためである。例えば、0系のATMセルが進んでいる場合、クロスパー選択信号S29Aaの論理は“0”になり、セクタ28の第1の入力端子(0)には0系のATMセルが入力される。この時、選択信号となる排他的論理和S50の論理は、系切替制御信号Scの論理と同一であり、セクタ28の出力端子Yからは系切替制御信号Scの論理と同じ系のATMセルが出力される。つまり、セクタ28は、図1又は図2と同様に系切替制御信号Scの論理に従って切り替わる。

【0031】一方、1系のATMセルが進んでいる場合、クロスパー選択信号S29Aaの論理は“1”になり、セクタ28の第1の入力端子(0)には1系のATMセルが入力される。この時、排他的論理和S50の論理は、系切替制御信号Scの論理と反対の論理になり、セクタ28の出力端子Yからは系切替制御信号Scの論理と同じ系のATMセルが出力される。つまり、第1の実施形態と同様に、系切替制御信号Scの論理に従って無断で切り替わり、又、セクタ28の出力以降は第1の実施形態と全く同じであり、パリティビット信号の生成付与方法も同じであるため、第1の実施形態で得た信頼性の高い系状態信号も、パリティチェック34の出力信号S34から得られる。ここで、図1に対して増加した回路はクロスパースイッチ回路40、クロスパー選択信号S29Aaの信号ライン、排他的論理和回路50及びパリティチェック27Aの入力端子1ビット分であるが、これらの増加した回路について、トライステートバッファ1つを1として換算すると、クロスパースイッチ回路が $4 \times (n+1)$ 、排他的論理和回路とパリティチェック1ビット分で2程度となる。クロスパー選択信号S29Aaの信号ラインは配線のみであり、換算しないものとする。従って、例えば $n=8$ とすると、増加分は $36+2=38$ になる。

【0032】又、図1に比較して減少したRAM1つは $(n+1) \times k \times 0.5$ 程度となる。ここで $(n+1)$ はパラレルデータのビット幅+パリティビットである。又、 k はワード数であり、位相調整量でもある。この値は最低でもATMセル数で1セル以上必要であるが、ここでは1セル(1セル:53バイト)で換算する。又、0.5はRAM1ビットあたりの係数として換算すると、 $9 \times 53 \times 0.5 = 238.5$ となり、6倍以上の差になる。実際には更に大きなRAMが必要であることから、図1に比較して回路規模が大幅に縮小される。以上のように、この第2の実施形態では、入力端子IN0、IN1とRAM23との間に、位相比較制御回路40で位相比較した結果から得られる0系及び1系のデータのどちらが進んでいるかを示す情報を持ったクロス

バー選択信号S29Aaを使ってクロス状態とバー状態を切り替えることができるクロスバースイッチ回路40を設け、位相が進んでいる系のデータのみをRAM23へ書き込んだ後に読み出すことによって遅延するようにしたので、位相が遅れている系のデータに対して位相を合わせることができる。そのため、図1又は図2において2つ必要だったRAMが1つに削減でき、回路規模が縮小される。

【0033】尚、本発明は上記実施形態に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(a) 第1の実施形態では、1系のパリティジェネレータ22及びパリティチェッカ30の各出力端子にインバータ24、31をそれぞれ接続して0系とパリティの論理を変えたが、実際には0系と1系の論理が異なっていればよく、0系側のパリティジェネレータ21及びパリティチェッカ27の各出力端子にインバータをそれぞれ接続してもよい。

(b) 記憶手段は、RAMの他にFIFO(First In First Out)メモリで構成してもよい。

(c) クロスバースイッチ回路40は、例えば2入力1出力セレクタ等のゲート回路の組合せで構成してもよい。

【0034】

【発明の効果】以上詳細に説明したように、第1の発明によれば、第2のパリティビット信号の論理をインバータで反転することによって第1のパリティビット信号と異なった論理になるようにしたので、第1及び第2の記憶手段から読み出した各データの各パリティビットの論理が異なったものになる。そのため、選択手段から出力される出力データをパリティチェッカでパリティチェックすると、パリティチェック結果は、前記選択手段から出力される出力データが現用系か予備系かで異なるものになる。このパリティチェック結果を系の現在の状態をあらわす系状態信号にすれば、この系状態信号は前記選択手段から出力される出力データから得た情報なので、仮に選択手段が故障して系が切り替わらない場合でも系の現在の状態を検出でき、非常に信頼性の高い系状態信号が得られる。

【0035】第2の発明によれば、現用系ATMセルと予備系ATMセルとの位相差を検出した結果からクロス状態とバー状態を切り替えることができるクロスバースイッチ回路を設け、位相が進んでいる系のデータのみを

記憶手段へ書き込んだ後に読み出すことによって遅延するようにしたので、位相が遅れている系のデータに対して位相を合わせることができる。そのため、従来の系切替回路又は図1の系切替回路図において2つ必要だった記憶手段を1つに削減でき、回路規模を縮小できる。更に、選択手段は、位相が揃った現用系ATMセル及び第1のパリティビット信号又は予備系ATMセル及び反転パリティビットを系切替制御信号とクロスバースイッチ信号の排他的論理和に基づいて選択して出力するようにしたので、系切替制御信号に基づいて切り替わる出力データの切り替わり方を、従来の系切替回路と同一にできる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す系切替回路の構成図である。

【図2】従来の系切替回路の構成図である。

【図3】図1中のパリティジェネレータの構成図である。

【図4】図1中のパリティチェッカの構成図である。

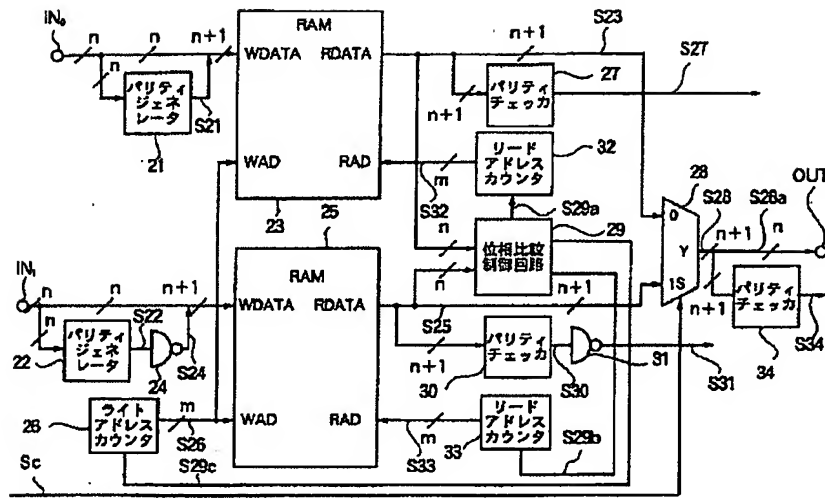
【図5】本発明の第2の実施形態を示す系切替回路の構成図である。

【図6】図5中のクロスバースイッチ回路の構成図である。

【符号の説明】

1, 2, 21, 22	パリティジェネレータ
3, 4, 23, 25	RAM (記憶手段)
5, 26	ライトアドレスカウンタ
6, 9, 27, 27A, 30, 34	パリティチェッカ
7, 28	セレクタ
(選択手段)	
8, 29, 29A	位相比較制御回路
10, 11, 32, 33	リードアドレスカウンタ
24, 31	インバータ
40	クロスバースイッチ回路
50	排他的論理和回路

【図1】



本発明の第1の実施形態の系切替回路

【図3】

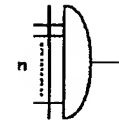


図1中のパリティジェネレータ

【図4】

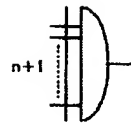
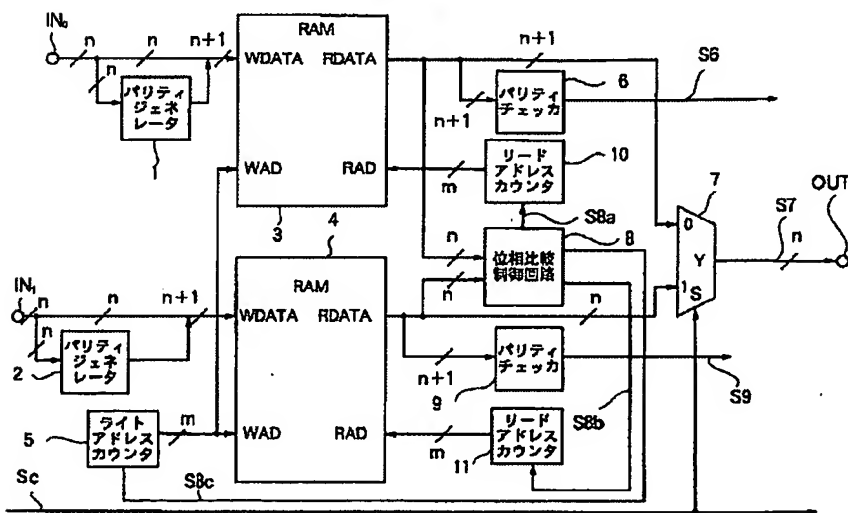


図1中のパリティチェッカ

【図2】



従来の系切替回路

